

**SEMICONDUCTOR DEVICE AND METHOD OF MANUFACTURING THE SAME**

**Patent number:** JP2002305296  
**Publication date:** 2002-10-18  
**Inventor:** YONEZAWA MASAHIITO; KIMURA HAJIME; YAMAZAKI MASARU; KOYAMA JUN; WATANABE YASUKO  
**Applicant:** SEMICONDUCTOR ENERGY LAB  
**Classification:**  
- international: **H05B33/10; H01L27/146; H01L29/786; H01L51/50; H01L27/15; H05B33/10; H01L27/146; H01L29/66; H01L51/50; H01L27/15; (IPC1-7): H01L27/146; H01L29/786; H05B33/10; H05B33/14**  
- european: **H01L27/146A4; H01L27/146V10**  
**Application number:** JP20010109559 20010409  
**Priority number(s):** JP20010109559 20010409

Also published as:

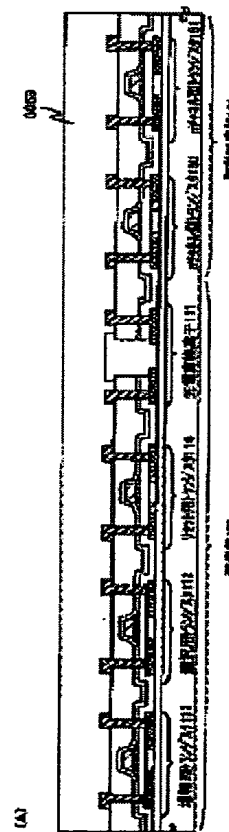


US6692984 (B2)  
US2003032213 (A)

Report a data error he

**Abstract of JP2002305296**

**PROBLEM TO BE SOLVED:** To provide a technique wherein the number of processes for manufacturing a photoelectric conversion element and a transistor on the same insulation surface is reduced, as a result, production cost is reduced, a yield is enhanced and reliability and productivity are enhanced. **SOLUTION:** A semiconductor layer which functions as a source region and a drain region of the transistor and a channel formation region, an n-type semiconductor layer and a p-type semiconductor layer of the photoelectric conversion element are manufactured simultaneously. A connecting interconnection, which is electrically connected to the n-type semiconductor layer and the p-type semiconductor layer of the photoelectric conversion element, a source interconnection and a drain interconnection of the transistor are manufactured simultaneously. In a process, in which an impurity element giving one conductivity type is doped, a semiconductor layer of an n-channel transistor and an n-type semiconductor layer of the photoelectric conversion element are doped simultaneously with the impurity element, and a semiconductor layer of a p-channel transistor and a p-type semiconductor layer of the photoelectric conversion element are doped simultaneously with the impurity element.



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

## (12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-305296

(P2002-305296A)

(43) 公開日 平成14年10月18日 (2002. 10. 18)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード* (参考)
H 0 1 L 27/146		H 0 5 B 33/10	3 K 0 0 7
29/786		33/14	A 4 M 1 1 8
H 0 5 B 33/10		H 0 1 L 27/14	C 5 F 1 1 0
33/14		29/78	6 1 3 Z
			6 1 2 B
審査請求 未請求 請求項の数17 O L (全 34 頁) 最終頁に続く			

(21) 出願番号 特願2001-109559(P2001-109559)

(22) 出願日 平成13年4月9日 (2001. 4. 9)

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 米澤 雅人

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 木村 肇

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 山崎 優

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

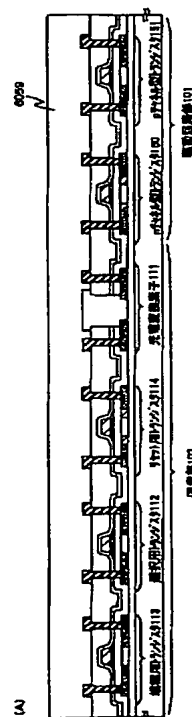
最終頁に続く

## (54) 【発明の名称】 半導体装置及びその作製方法

(57) 【要約】 (修正有)

【課題】 同一絶縁表面上に、光電変換素子とトランジスタとを作製する工程数を削減する。その結果、製造コストの低減および歩留まりの向上を実現し、信頼性と生産性を向上させる技術を提供する。

【解決手段】 トランジスタのソース領域とドレイン領域、並びにチャネル形成領域として機能する半導体層と、光電変換素子のn型半導体層及びp型半導体層とを同時に作製する。また、光電変換素子のn型半導体層及びp型半導体層に電氣的に接続される接続配線と、トランジスタのソース配線及びドレイン配線とを同時に作製する。さらに、一導電型を付与する不純物元素を添加する工程では、nチャネル型トランジスタの半導体層と光電変換素子のn型半導体層は同時に不純物元素の添加を行い、またpチャネル型トランジスタの半導体層と光電変換素子のp型半導体層は同時に不純物元素の添加を行う。



## 【特許請求の範囲】

【請求項 1】絶縁表面上に光電変換素子を有する半導体装置であって、  
前記光電変換素子は、多結晶半導体膜により形成された第一半導体層及び第二半導体層と、  
前記第一半導体層及び前記第二半導体層上に形成され、かつ、前記第一半導体層及び前記第二半導体層に接する絶縁膜と、  
前記絶縁膜上に形成され、かつ、前記第一半導体層及び前記第二半導体層に接する光電変換層とを有し、  
前記第一半導体層は、一導電型が付与され、前記第二半導体層は、前記一導電型とは反対の導電型が付与されていることを特徴とする半導体装置。

【請求項 2】絶縁表面上に光電変換素子を有する半導体装置であって、  
前記光電変換素子は、多結晶半導体膜により形成された第一半導体層及び第二半導体層と、  
前記第一半導体層及び前記第二半導体層上に形成された絶縁膜と、  
前記絶縁膜上に形成され、かつ、前記第一半導体層及び前記第二半導体層に接する光電変換層と、  
前記光電変換層上に形成され、かつ、微結晶半導体膜により形成された第三半導体層と、  
前記第一半導体層及び前記第二半導体層は、一導電型が付与され、前記第三半導体層は、前記一導電型とは反対の導電型が付与されていることを特徴とする半導体装置。

【請求項 3】請求項 1 又は請求項 2 において、前記絶縁表面上に、前記光電変換素子のスイッチング素子として機能するトランジスタ、前記光電変換素子の信号を増幅するトランジスタ、前記光電変換素子の信号を消去するトランジスタから選ばれた一つのトランジスタ又は複数のトランジスタが設けられていることを特徴とする半導体装置。

【請求項 4】請求項 1 又は請求項 2 において、前記絶縁表面上には、発光素子が設けられており、且つ、前記発光素子のスイッチング素子として機能するトランジスタ、前記発光素子に流れる電流を制御するトランジスタ、前記発光素子の信号を消去するトランジスタから選ばれた 1 つのトランジスタ又は複数のトランジスタが設けられていることを特徴とする半導体装置。

【請求項 5】請求項 1 乃至請求項 4 のいずれか一項において、前記半導体装置は電子機器であることを特徴とする半導体装置。

【請求項 6】絶縁表面上に半導体層を形成する工程と、  
前記半導体層に一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程と、  
前記半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、  
前記第一の不純物領域及び前記第二の不純物領域上に絶

縁膜を形成する工程と、

前記絶縁膜に、前記第一の不純物領域及び前記第二の不純物領域に達するようにコンタクトホールを形成する工程と、

前記コンタクトホールを介して、前記第一の不純物領域及び前記第二の不純物領域に接するように非晶質半導体層を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 7】絶縁表面上に第一半導体層と、第二半導体層と、第三半導体層と、第四半導体層とを形成する工程と、

前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とを覆うように第一絶縁膜を形成する工程と、

前記第一半導体層及び前記第二半導体層上のみに、ゲート電極を形成する工程と、

前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とに一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程

と、  
前記第一半導体層及び前記第三半導体層をレジストマスクで被覆する工程と、

前記第二半導体層及び前記第四半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、

前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とを覆うように第二絶縁膜を形成する工程と、

前記第二絶縁膜に、前記第三半導体層及び前記第四半導体層に達するようにコンタクトホールを形成する工程と、

前記コンタクトホールを介して、前記第三半導体層及び前記第四半導体層に接するように非晶質半導体膜を形成する工程と、

前記非晶質半導体膜をエッチングして、前記第三半導体層及び前記第四半導体層に接するように非晶質半導体層を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 8】絶縁表面上に第一半導体層と、第二半導体層と、第三半導体層と、第四半導体層とを形成する工程と、

前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とを覆うように第一絶縁膜を形成する工程と、

前記第一半導体層及び前記第二半導体層上のみに、第一の幅の第一の導電層と、第二の幅の第二の導電層の積層からなる第一の形状の電極を形成する工程と、

前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とに一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程

と、  
 前記第一の形状の電極をエッチングして、第三の幅の第一の導電層と、第四の幅の第二の導電層からなる第二の形状の電極を形成する工程と、  
 前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とに一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、  
 前記第一半導体層及び前記第三半導体層をレジストマスクで被覆する工程と、  
 前記第二半導体層及び前記第四半導体層に一導電型を付与する不純物元素を添加して第三の不純物領域を形成する工程と、  
 前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とを覆うように第二絶縁膜を形成する工程と、  
 前記第二絶縁膜に、前記第三半導体層及び前記第四半導体層に達するようにコンタクトホールを形成する工程と、  
 前記コンタクトホールを介して、前記第三半導体層及び前記第四半導体層に接するように非晶質半導体膜を形成する工程と、  
 前記非晶質半導体膜をエッチングして、前記第三半導体層及び前記第四半導体層に接するように非晶質半導体層を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 9】絶縁表面上に半導体層を形成する工程と、前記半導体層上に形成され、かつ、前記半導体層に接する絶縁層を形成する工程と、  
 前記半導体層と重なるように、前記絶縁層上に非晶質半導体層を形成する工程と、  
 露出している前記絶縁層をエッチングする工程と、  
 前記半導体層に一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程と、  
 前記半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 10】絶縁表面上に半導体膜を形成する工程と、  
 前記半導体膜に接する第一絶縁膜を形成する工程と、  
 前記半導体膜及び前記第一絶縁膜を同時にエッチングして、第一半導体層及び第一絶縁層と、第二半導体層及び第二絶縁層と、第三半導体層及び第三絶縁層と、第四半導体層及び第四絶縁層とを形成する工程と、  
 前記第一絶縁層と、前記第二絶縁層と、前記第三絶縁層と、前記第四絶縁層とを覆うように非晶質半導体膜を形成する工程と、  
 前記非晶質半導体膜をエッチングして、前記第三絶縁層及び前記第四絶縁層と接するように非晶質半導体層を形成する工程と、

前記第一絶縁層及び前記第二絶縁層と、露出している前記第三絶縁層及び前記第四絶縁層をエッチングする工程と、  
 前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とを覆うように第二絶縁膜を形成する工程と、  
 前記第一半導体層及び前記第二半導体層上のみにゲート電極を形成する工程と、  
 前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とに一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程と、  
 前記第一半導体層及び前記第三半導体層をレジストマスクで被覆する工程と、  
 前記第二半導体層及び前記第四半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 11】絶縁表面上に半導体膜を形成する工程と、  
 前記半導体膜に接する第一絶縁膜を形成する工程と、  
 前記半導体膜及び前記第一絶縁膜を同時にエッチングして、第一半導体層及び第一絶縁層と、第二半導体層及び第二絶縁層と、第三半導体層及び第三絶縁層と、第四半導体層及び第四絶縁層とを形成する工程と、  
 前記第一絶縁層と、前記第二絶縁層と、前記第三絶縁層と、前記第四絶縁層とを覆うように非晶質半導体膜を形成する工程と、  
 前記非晶質半導体膜をエッチングして、前記第三絶縁層及び前記第四絶縁層と接する非晶質半導体層を形成する工程と、  
 前記第一絶縁層及び前記第二絶縁層と、露出している前記第三絶縁層及び前記第四絶縁層とをエッチングする工程と、  
 前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とを覆うように第二絶縁膜を形成する工程と、  
 前記第一半導体層及び前記第二半導体層上のみに、第一の幅の第一の導電層と、第二の幅の第二の導電層の積層からなる第一の形状の電極を形成する工程と、  
 前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とに一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程と、  
 前記第一の形状の電極をエッチングして、第三の幅の第一の導電層と、第四の幅の第二の導電層からなる第二の形状の電極を形成する工程と、  
 前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とに一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程

と、  
前記第一半導体層及び前記第三半導体層をレジストマスクで被覆する工程と、  
前記第二半導体層及び前記第四半導体層に一導電型を付与する不純物元素を添加して第三の不純物領域を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 1 2】絶縁表面上に半導体層を形成する工程と、

前記半導体層上に形成され、かつ、前記半導体層に接する絶縁層を形成する工程と、  
前記絶縁層上に非晶質半導体膜を形成する工程と、  
前記非晶質半導体膜に接するように微結晶半導体膜を形成する工程と、  
前記非晶質半導体膜及び前記微結晶半導体膜を同時にエッチングして、前記半導体層と重なるように、非晶質半導体層と微結晶半導体層を形成する工程と、  
露出している前記絶縁層をエッチングする工程と、  
前記半導体層に一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程と、  
前記半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 1 3】絶縁表面上に半導体膜を形成する工程と、

前記半導体膜に接する第一絶縁膜を形成する工程と、  
前記半導体膜及び前記第一絶縁膜を同時にエッチングして、第一半導体層及び第一絶縁層と、第二半導体層及び第二絶縁層と、第三半導体層及び第三絶縁層と、第四半導体層及び第四絶縁層とを形成する工程と、  
前記第一絶縁層と、前記第二絶縁層と、前記第三絶縁層と、前記第四絶縁層とを覆うように非晶質半導体膜を形成する工程と、  
前記非晶質半導体膜に接するように微結晶半導体膜を形成する工程と、  
前記非晶質半導体膜及び前記微結晶半導体膜を同時にエッチングして、前記第三絶縁層及び前記第四絶縁層と重なるように、非晶質半導体層及び微結晶半導体層を形成する工程と、  
前記第一絶縁層及び前記第二絶縁層と、露出している前記第三絶縁層及び前記第四絶縁層をエッチングする工程と、  
前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とを覆うように第二絶縁膜を形成する工程と、  
前記第一半導体層及び前記第二半導体層の上にゲート電極を形成する工程と、  
前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層と、前記微結晶半導体層とに一導電型を付与する不純物元素を添加して第一の不純

物領域を形成する工程と、

前記第一半導体層と、前記第三半導体層及び前記第四半導体層をレジストマスクで被覆する工程と、  
前記第二半導体層と、前記微結晶半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、を有することを特徴とする半導体装置の作製方法。

【請求項 1 4】絶縁表面上に半導体膜を形成する工程と、

10 前記半導体膜に接する絶縁膜を形成する工程と、  
前記半導体膜及び前記絶縁膜を同時にエッチングして、第一半導体層及び第一絶縁層と、第二半導体層及び第二絶縁層と、第三半導体層及び第三絶縁層と、第四半導体層及び第四絶縁層とを形成する工程と、  
前記第一絶縁層と、前記第二絶縁層と、前記第三絶縁層と、前記第四絶縁層とを覆うように非晶質半導体膜を形成する工程と、  
前記非晶質半導体膜に接するように微結晶半導体膜を形成する工程と、  
20 前記非晶質半導体膜及び前記微結晶半導体膜をエッチングして、非晶質半導体層及び微結晶半導体層を形成する工程と、  
前記第一絶縁層及び前記第二絶縁層と、露出している前記第三絶縁層及び前記第四絶縁層をエッチングする工程と、  
前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とを覆うように第一絶縁膜を形成する工程と、  
30 前記第一半導体層及び前記第二半導体層の上に、第一の幅の第一の導電層と、第二の幅の第二の導電層の積層からなる第一の形状の電極を形成する工程と、  
前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層と、前記微結晶半導体層とに一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程と、  
前記第一の形状の電極をエッチングして、第三の幅の第一の導電層と、第四の幅の第二の導電層からなる第二の形状の電極を形成する工程と、  
前記第一半導体層と、前記第二半導体層と、前記第三半導体層と、前記第四半導体層とに一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、  
40 前記第一半導体層と、前記第三半導体層及び前記第四半導体層をレジストマスクで被覆する工程と、  
前記第二半導体層と、前記微結晶半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、を有することを特徴とする半導体装置の作製方法。

50 【請求項 1 5】請求項 6 乃至請求項 1 4 のいずれか一項において、

前記一導電型を付与する不純物元素とは、前記半導体層に n 型又は p 型を付与する不純物元素であることを特徴とする半導体装置の作製方法。

【請求項 16】請求項 8 または請求項 11 または請求項 14 において、

前記第一の幅は前記第二の幅よりも広く、かつ、前記第二の幅は前記第三の幅よりも広いことを特徴とする半導体装置の作製方法。

【請求項 17】請求項 1 乃至請求項 16 のいずれか一項において、前記半導体装置は電子機器であることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、イメージセンサ機能を有する半導体装置及びその作製方法に関する。より詳細には、絶縁表面上に光電変換素子とトランジスタが作製された半導体装置及びその作製方法に関する。

【0002】なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路及び電子機器をその範疇に含むものとする。

【0003】

【従来の技術】近年、技術の進歩とともにさまざまなセンサが開発され、実用化されてきている。パソコンに紙面上の文字・図画情報などを取り入れるために、イメージセンサ機能を有する半導体装置が用いられるようになってきている。

【0004】そのような半導体装置には、デジタルスチルカメラ、スキャナ、コピー機などがある。デジタルスチルカメラは、従来の銀塩カメラに代わるものとして用いられており、画素が二次元に配列されたエリアセンサが設けられている。スキャナやコピー機などは、紙面上の文字・図画情報を読み取るための手段として用いられており、画素が一次元に配列されたラインセンサが設けられている。

【0005】イメージセンサ機能を有する半導体装置には、複数の画素を有する画素部が設けられている。複数の画素には、光電変換素子と該光電変換素子のスイッチング素子として機能するトランジスタ、該光電変換素子の信号を増幅するトランジスタ、該光電変換素子の信号を消去するトランジスタから選ばれた一つまたは複数のトランジスタがそれぞれ設けられている。

【0006】光電変換素子としては、PIN 型のフォトダイオードが用いられる場合が多い。その他には、PN 型のフォトダイオード、アバランシェ型ダイオード、npn 埋め込み型ダイオード、ショットキー型ダイオード、フォトリソトランジスタなどがある。その他には、X 線用のフォトコンダクタや赤外線用のセンサなどもある。

【0007】また、イメージセンサ機能を有する半導体装置は、大まかには CCD 型と CMOS 型に分類され

る。CMOS 型の半導体装置は、増幅用トランジスタを搭載していないものはパッシブ型、増幅用トランジスタを搭載しているものはアクティブ型に分類される。増幅用トランジスタは、光電変換素子を読み取った被写体の画像信号を増幅する機能を有する。

【0008】アクティブ型の半導体装置は、上述した増幅用トランジスタの他にセンサ選択用トランジスタなどが設けられており、パッシブ型の半導体装置に比べると、一画素に設けられている素子が多くなってしま

10 【0009】上述したような半導体装置を作製する際、絶縁表面上に最初にトランジスタを作製し、次いで、光電変換素子を作製する方法が用いられる。光電変換素子は、三枚の薄膜を積層して形成する PIN 接合の素子を形成する場合が多い。従って、光電変換素子とトランジスタを有する半導体装置を作製する際は、トランジスタを作製するためのマスク数に、少なくとも 3 枚のマスクを追加して作製していた。

【0010】

20 【発明が解決しようとする課題】絶縁表面上にトランジスタと光電変換素子を有する半導体装置を作製しようとすると、その製造工程が複雑なものとなり工程数が増加してしまう問題があった。工程数の増加は、製造コストの増加要因となるばかりか、製造歩留まりを低下させる原因となることは明らかである。

【0011】トランジスタを作製するマスク数に、追加で 3 枚必要になると、半導体装置の製造工程が煩雑になるだけでなく、個別の工程の歩留まりが掛け算できいてくるため大幅な歩留まりの低下を招く恐れがあるといった問題があった。また、マスク数の追加による製造期間の長期化に伴う製造コストの増加が問題となっていた。

30 【0012】また、半導体装置の作製には写真蝕刻（フォトリソグラフィ）技術を用いられている。フォトマスクはフォトリソグラフィの技術において、エッチング工程のマスクとするフォトレジストパターンを基板上に形成するために用いている。このフォトマスクを 1 枚使用することによって、レジスト塗布、プレバーク、露光、現像、ポストバークなどの工程と、その前後の工程において、被膜の成膜及びエッチングなどの工程、さらにレジスト剥離、洗浄や乾燥工程などが付加され、製造に係わる作業は煩雑なものとなり問題となっていた。生産性や歩留まりを向上させるためには、工程数を削減することが有効な手段として考えられる。しかし、フォトマスクの数を減らさない限りは、製造コストの削減にも限界があった。

50 【0013】本発明は、絶縁表面上にトランジスタと光電変換素子を有する半導体装置の作製方法において、トランジスタのみを作製する工程に必要なマスク数に、光電変換素子を作製するために追加するマスク数を削減することを課題とする。また、マスク数を削減することにより、半導体装置の作製工程の簡略化、及び歩留まりの

向上、さらに、半導体装置の製造コストの低減に寄与することを課題とする。また、上記半導体装置の作製方法により作製された半導体装置を提供することを課題とする。

#### 【0014】

【課題を解決するための手段】本発明者は上記課題を解決するための手段として主に3つの作製方法を考案した。以下にそれを説明する。

【0015】なお、本明細書で作製される光電変換素子は、p型半導体層と、光電変換層(i層)と、n型半導体層とを有するPIN接合の素子とする。

【0016】本発明の半導体装置の第一の作製方法は、絶縁表面上に半導体層を形成する工程と、前記半導体層に一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程と、前記半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、前記第一の不純物領域及び前記第二の不純物領域上に絶縁膜を形成する工程と、前記絶縁膜に、前記第一の不純物領域及び前記第二の不純物領域に達するようにコンタクトホールを形成する工程と、前記コンタクトホールを介して、前記第一の不純物領域及び前記第二の不純物領域に接するように非晶質半導体膜を形成する工程と、前記非晶質半導体膜をエッチングして、非晶質半導体層を形成する工程と、を有することを特徴とする半導体装置の作製方法である。

【0017】本発明の半導体装置の第二の作製方法は、絶縁表面上に半導体膜を形成する工程と、前記半導体膜に接する絶縁膜を形成する工程と、前記半導体膜及び前記絶縁膜を同時にエッチングして、半導体層と絶縁層を形成する工程と、前記絶縁層上に非晶質半導体膜を形成する工程と、前記非晶質半導体膜をエッチングして、前記半導体層と重なるように非晶質半導体層を形成する工程と、露出している前記絶縁層をエッチングする工程と、前記半導体層に一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程と、前記半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程とを有することを特徴とする半導体装置の作製方法である。

【0018】本発明の半導体装置の第三の作製方法は、絶縁表面上に半導体膜を形成する工程と、前記半導体膜に接する絶縁膜を形成する工程と、前記半導体膜及び前記絶縁膜を同時にエッチングして、半導体層と絶縁層を形成する工程と、前記絶縁層上に非晶質半導体膜を形成する工程と、前記非晶質半導体膜に接するように微結晶半導体膜を形成する工程と、前記非晶質半導体膜及び前記微結晶半導体膜を同時にエッチングして、前記半導体層と重なるように、非晶質半導体層と微結晶半導体層を形成する工程と、露出している前記絶縁層をエッチングする工程と、前記半導体層に一導電型を付与する不純物元素を添加して第一の不純物領域を形成する工程と、前

記半導体層に一導電型を付与する不純物元素を添加して第二の不純物領域を形成する工程と、を有することを特徴とする半導体装置の作製方法である。

【0019】本発明の作製方法では、トランジスタのソース領域とドレイン領域、並びにチャネル形成領域として機能する半導体層と、光電変換素子のn型半導体層及びp型半導体層とを同時に作製する。また、光電変換素子のn型半導体層及びp型半導体層に電気的に接続される接続配線と、トランジスタのソース配線及びドレイン配線とを同時に作製する。さらに、一導電型を付与する不純物元素を添加する工程では、nチャネル型トランジスタの半導体層と光電変換素子のn型半導体層は同時に不純物元素の添加を行い、またpチャネル型トランジスタの半導体層と光電変換素子のp型半導体層は同時に不純物元素の添加を行う。

【0020】以上のような作製工程を用いることにより、本発明の半導体装置の作製方法で用いるマスク数を削減することが可能となる。

【0021】以下の実施の形態において、第一の作製方法は実施の形態1で、第二の作製方法は実施の形態2で、第三の作製方法は実施の形態3でそれぞれ詳細に説明する。

#### 【0022】

【発明の実施の形態】(実施の形態1)本実施の形態では、半導体装置の画素部に設けられる光電変換素子とトランジスタ、及びそれらの周囲に設けられる駆動回路部(ソース信号線駆動回路、ゲート信号線駆動回路)のトランジスタを同時に作製する方法について詳しく説明する。

【0023】なお、図10に示すように、本明細書では、ソース信号線駆動回路90とゲート信号線駆動回路92を総称して駆動回路部101とよぶ。本実施の形態では、駆動回路部101は、基本単位であるCMOS回路を示す。なお、本実施例では、図12に示すように、画素部103は、画素102に光電変換素子111と増幅用トランジスタ113、及び選択用トランジスタ112とリセット用トランジスタ114を有する半導体装置の例を示す。

【0024】図1(A)を参照する。まず、本実施例ではコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板6000を用いる。なお、基板6000としては、透光性を有する基板であれば限定されず、石英基板を用いてもよい。また、本実施例の処理温度に耐える耐熱性を有するプラスチック基板を用いてもよい。

【0025】次いで、下地絶縁膜6001を形成する。下地絶縁膜6001は、シリコンを含む絶縁膜(例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等)を、プラズマCVD法またはスパッタ法にて形

成する。本実施形態では、酸化窒化シリコン膜を150 [nm] の厚さで形成した。

【0026】次に、図1(A)に示すように、下地絶縁膜6001上に、非晶質半導体膜を30~60nmの厚さで形成する。非晶質半導体膜の材質は限定しないが、好ましくはシリコンまたはシリコンゲルマニウム ( $\text{Si}_x\text{Ge}_{1-x}$ :  $0 < x < 1$ 、代表的には  $x = 0.001 \sim 0.06$ ) 合金等で形成すると良い。続いて、前記非晶質半導体膜に公知の結晶化処理(レーザー結晶化法、熱結晶化法、またはNi等の触媒を用いた熱結晶化法等)を行って得られた結晶質半導体膜を所望の形状にパターンニングし、島状の半導体層6002~6004、6005a、6005b、6006、6007を形成する。

【0027】本実施例では、プラズマCVD法を用いて54nmの非晶質半導体膜を成膜した後、Niを含む溶液を非晶質シリコン上に保持させた。この非晶質半導体膜に脱水素化(500℃、1時間)を行った後、熱結晶化(550℃、4時間)を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質半導体膜を形成した。次いで、nチャネル型トランジスタのしきい値電圧( $V_{th}$ )を制御するために、p型を付与する不純物元素を添加しても良い。p型を付与する不純物元素としては、ボロン(B)、アルミニウム(Al)、ガリウム(Ga)等の周期律第13族元素が知られている。

【0028】次いで、前記結晶質半導体膜のパターンニング処理を行い、島状の半導体層6002~6004、6005a、6005b、6006、6007を形成した。

【0029】次いで、島状の半導体層6002~6004、6005a、6005b、6006、6007を覆うゲート絶縁膜6008を形成する。ゲート絶縁膜6008の材質としてシリコンを含む絶縁膜を用い、プラズマCVD法やスパッタ法によって40~160nmの厚さで形成する。ここで、ゲート絶縁膜6008は、シリコンを含む絶縁膜を、単層あるいは積層構造として形成すれば良い。

【0030】次に、ゲート絶縁膜6008上に、膜厚20~100nmの第1の導電膜(TaN)6009と、膜厚100~400nmの第2の導電膜(W)6010とを積層形成する。第1の導電膜6009及び第2の導電膜6010は、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。また、リン(P)等の不純物元素を添加したpSi膜に代表される半導体膜を用いても良い。

【0031】本実施例では、膜厚30nmのTa<sub>2</sub>N<sub>5</sub>膜からなる第1の導電膜6009と、膜厚370nmのW膜からなる第2の導電膜6010を積層形成した。Ta<sub>2</sub>N<sub>5</sub>膜はスパッタ法により形成し、Taをターゲットに用い、窒素を含む雰囲気内でスパッタした。W膜は、Wを

ターゲットに用いてスパッタ法により形成した。その他に6フッ化タングステン(WF<sub>6</sub>)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下とすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W膜中に酸素等の不純物元素が多い場合には結晶化が阻害されて高抵抗化する。したがって、本実施例においては、高純度のW(純度99.9999%)をターゲットに用いたスパッタ法で、さらに成膜時に気相からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することが出来た。

【0032】次いで、図1(B)に示すように、フォトリソグラフィ法を用いてレジストマスク6011を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICP(Inductively Coupled Plasma: 誘導結合型プラズマ)エッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25/25/10sccmとし、1.0Paの圧力でコイル型の電極に500WのRF(13.66MHz)電力を投入してプラズマを生成してエッチングを行った。なお、エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>、CCl<sub>4</sub>などを代表とする塩素系ガスまたはCF<sub>4</sub>、SF<sub>6</sub>、NF<sub>3</sub>などを代表とするフッ素系ガス、またはO<sub>2</sub>を適宜用いることができる。基板側(試料ステージ)にも160WのRF(13.66MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

【0033】この後、レジストマスク6011を除去せずに第2のエッチング条件に変え、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30/30sccmとし、1Paの圧力でコイル型の電極に500WのRF(13.66MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF(13.66MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N<sub>5</sub>膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は68.97(nm/min)、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は66.43(nm/min)である。なお、ゲート絶縁膜6008上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0034】そして、レジストマスク6011を除去することなく第1のドーピング処理を行い、島状の半導体



層6002~6004、6005a、6005b、6006、6007にn型を付与する不純物元素を添加する。ドーピング処理はイオンドーピング法もしくはイオン注入法で行えば良い。この場合、第1の形状の導電層6012~6016が不純物元素に対するマスクとなり、自己整合的に第1の不純物領域6017~6019、6020a~6020b、6021~6022が形成される。

【0035】さらに、図1(C)に示すように、レジストマスク6011を除去することなく第2のエッチング処理を行う。第2のエッチング処理では、第3及び第4のエッチング条件で行う。本実施例では、第3のエッチング条件として、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を用い、それぞれのガス流量比を30/30sccmとし、1.0Paの圧力でコイル型の電極に500WのRF(13.46MHz)電力を投入してプラズマを生成してエッチングを15秒行った。基板側(試料ステージ)にも10WのWのRF(13.46MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は227.3(nm/min)、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は32.0(nm/min)であり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は7.1であり、ゲート絶縁膜6008に対するエッチング速度は33.7(nm/min)であり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は6.83である。このようにエッチングガス用ガスにSF<sub>6</sub>を用いた場合、ゲート絶縁膜6008との選択比が高いので膜減りを抑えることができる。また、駆動回路部101のトランジスタにおいては、テーパー部のチャネル長方向の幅が長ければ長いほど信頼性が高いため、テーパー部を形成する際、SF<sub>6</sub>を含むエッチングガスでドライエッチングを行うことが有効である。

【0036】また、第4のエッチング条件として、CF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とをエッチングガスに用いることも可能である。その場合は、それぞれのガス流量比を20/20/20sccmとし、1.0Paの圧力でコイル型の電極に500WのRF(13.46MHz)電力を投入してプラズマを生成してエッチングを行えばよい。基板側(試料ステージ)にも20WのRF(13.46MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用いる場合のWに対するエッチング速度は124.62(nm/min)、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は20.67(nm/min)であり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は6.04である。従って、W膜が選択的にエッチングされる。また、このとき、ゲート絶縁膜6008のうち、第1の形状の導電層6012~6016に覆われていない部分も同時にエッチングされて薄くなっている(図示せず)。

【0037】次いで、第2のドーピング処理を行う。ドーピングは第2の導電層6023b~6027bを不純

物元素に対するマスクとして用い、第1の導電層のテーパー部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーピング条件をドーズ量 $1.5 \times 10^{14}/\text{cm}^2$ 、加速電圧90[keV]、イオン電流密度0.5 $\mu\text{A}/\text{cm}^2$ 、フォスフィン(PH<sub>3</sub>)5.0%水素希釈ガス、ガス流量30sccmにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域6028~6032を自己整合的に形成する(図1(C))。

【0038】その後、レジストマスク6011を除去した後、後に極性がnチャネル型のトランジスタの活性層となる半導体層をレジストマスク6033で覆い、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型トランジスタの活性層となる半導体層に前記一導電型(n型)とは逆の導電型(p型)を付与する不純物元素が添加されたp型の高濃度不純物領域6036~6039を形成する。このとき、第1の導電層6023a~6027aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加してp型不純物領域を形成する(図2(A))。

【0039】本実施例では、p型不純物領域6036~6039はジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドーピング法で形成する。なお、第1のドーピング処理及び第2のドーピング処理によって、不純物領域6017、6018、6022と、不純物領域6028、6029、6032にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもボロンの濃度が $2 \times 10^{20} \sim 2 \times 10^{21}/\text{cm}^3$ となるようにドーピング処理することにより、pチャネル型トランジスタのソース領域及びドレイン領域として機能するために何ら問題は生じない。

【0040】ここまでの工程で、pチャネル型の増幅用トランジスタ113、pチャネル型の選択用トランジスタ112、nチャネル型のリセット用トランジスタ114がそれぞれ形成される。また、nチャネル型トランジスタ150、pチャネル型トランジスタ151が形成される。極性がnチャネル型のトランジスタにおいては、第1の導電層と重ならない低濃度不純物領域(LDD領域)が形成されている。

【0041】次に、図2(B)に示すように、レジストマスク6033を除去して第1の層間絶縁膜6040を形成する。第1の層間絶縁膜6040は、プラズマCVD法またはスパッタ法を用いて、膜厚10~200nmでシリコンを含む絶縁膜(例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等)を形成する。本実施例では、プラズマCVD法により、SiON膜を第1の層間絶縁膜6040として膜厚200nmで成膜して形成した。

【0042】次いで、それぞれの半導体層に添加された

不純物元素を活性化処理する工程を行う。この工程ではファーンズアニール炉を用いる熱アニール法にて行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には400～550℃で行えば良く、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、この工程においては、熱アニール法の他に、レーザーアニール法、ラピッドサーマルアニール法(RTA法)等を適用することが出来る。

【0043】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のPを含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中のNi濃度が低減される。このようにして作製したチャネル形成領域を有するトランジスタはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0044】本実施例においては、ソース領域及びドレイン領域に含まれるリンを利用してゲッタリングを行ったが、他の方法としては、島状の半導体層の形成前に、島状半導体層以外の場所にPまたはAr等の不活性ガスをドーピングにより添加して熱処理を行う方法がある。この方法ではマスクが1枚増加するが、良好にゲッタリングを行うことが出来る。

【0045】また、第1の層間絶縁膜6040を形成する前に活性化処理を行っても良い。ただし、用いる配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜(シリコンを主成分とする絶縁膜、例えば窒化珪素膜)を形成した後で活性化処理を行うことが好ましい。

【0046】次いで、熱処理(300～660℃で1～12時間)を行い、半導体層を水素化する工程を行う。本実施例では、100%の水素雰囲気中で410℃、4時間の熱処理を行った。この工程は、半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化(プラズマにより励起された水素を用いる)を行っても良い。

【0047】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0048】次いで、第2の層間絶縁膜6041を膜厚800nmで成膜して形成する。第2の層間絶縁膜6041は、プラズマCVD法またはスパッタ法を用いて、膜厚10～2000nmでシリコンを含む絶縁膜(例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等)を形成する。本実施例では、プラズマCVD法により、SiON膜を第2の層間絶縁膜6041として膜厚800nmで成膜して形成した。

【0049】次いで、図2(B)に示すように、各不純

物領域6019、6020b、6021、6036～6039に達するコンタクトホールを形成し、前記コンタクトホール上に金属膜を形成する。この金属膜の材料は、AlまたはAgを主成分とする膜、またはそれらに準ずる材料を用いればよい。次いで、前記各不純物領域を電氣的に接続する配線6042～6053を形成するためのパターニングを行う。

【0050】なお、光電変換素子111のn型半導体層6020bとp型半導体層6036にそれぞれ接続される配線6048と配線6049は、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114のいずれか一つのトランジスタのソース領域及びドレイン領域、又は電源線(VB1～VBx)等に電氣的に接続されている。図12に示す半導体装置の場合、配線6048と配線6049が、どのトランジスタのソース領域及びドレイン領域に接続されているかは、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114のそれぞれのトランジスタに付与された導電性と、電源線(VB1～VBx)に印加される電圧と、電源基準線121に印加される電圧によってそれぞれ異なる。

【0051】なお、不純物領域6020bと不純物領域6036に達するコンタクトホール6070に形成された金属膜は、パターニングを行う際に除去し、不純物領域6020bと不純物領域6036の一部は露出した状態になる。(図2(B))

【0052】次いで、コンタクトホール6070を介して、不純物領域6020bと不純物領域6036に接するように、非晶質半導体膜を形成する。非晶質半導体膜の材質は限定しないが、好ましくはシリコンまたはシリコンゲルマニウム( $\text{Si}_x\text{Ge}_{1-x}$ :  $0 < x < 1$ 、代表的には $x = 0.001 \sim 0.06$ )合金等で形成すると良い。そして、非晶質半導体膜を不純物領域6020bと不純物領域6036に接するように所望の形状にパターニングし、非晶質半導体層6054を形成する。(図2(C))

【0053】図2(C)に示すように、不純物領域6020bと、不純物領域6036と、非晶質半導体層6054が光電変換素子111に相当する。本実施の形態では不純物領域6036がp型半導体層であり、非晶質半導体層6054が光電変換層(i層)であり、不純物領域6020bがn型半導体層として機能している。

【0054】次いで、第2の層間絶縁膜6040上に、有機樹脂膜でなる第3の層間絶縁膜6059を成膜する。第3の層間絶縁膜6059は、配線材料の絶縁に加え、表面の平坦化膜としての機能も有している。本実施例では、材料として例えばアクリルを用いて膜厚670nmの有機樹脂膜として形成した(図3)。

【0055】以上のようにして、画素部103の光電変換素子111と、該光電変換素子111を制御するため

のトランジスタと、駆動回路部 101 のトランジスタとを同一基板上に形成することができる。

【0056】本実施の形態のマスク数は、トランジスタのみを形成する工程に必要なマスク数 5 枚（島状の半導体層 6002～6007 を作製するためのマスク、ゲート電極 6012～6016 を作製するためのマスク 6011、p 型不純物領域を作製するためのマスク 6033、配線 6042～6048 及び 6060～6063 用のコンタクトホールを作製するためのマスク、配線 6042～6048 及び 6060～6063 を作製するためのマスク）に、1 枚のマスク（非晶質半導体膜 6064 をパターンニングして作製する際に必要なマスク）のみを追加して形成することが可能となる。

【0057】なお、本実施例では、リセット用トランジスタ 114 を n チャネル型トランジスタとして形成し、増幅用トランジスタ 113 と選択用トランジスタ 112 を p チャネル型トランジスタとして形成したが、本発明はこれに限定されず、それぞれのトランジスタの極性は n チャネル型と p チャネル型のどちらでもよい。但し、選択用トランジスタ 112 とリセット用トランジスタ 114 の極性は逆の方が好ましい。

【0058】（実施の形態 2）本実施の形態では、半導体装置の画素部に設けられる光電変換素子とトランジスタ、及びそれらの周囲に設けられる駆動回路部（ソース信号線駆動回路、ゲート信号線駆動回路）のトランジスタを同時に作製する方法について、実施例 1 とは異なる例について詳しく説明する。

【0059】なお、図 10 に示すように、本明細書では、ソース信号線駆動回路 90 とゲート信号線駆動回路 92 を総称して駆動回路部 101 とよぶ。本実施の形態では、駆動回路部 101 は、基本単位である CMOS 回路を示す。また、本実施例では、図 12 に示すように、画素部 103 は、画素 102 に光電変換素子 111 と増幅用トランジスタ 113、及び選択用トランジスタ 112 とリセット用トランジスタ 114 を有する半導体装置の例を示す。

【0060】図 4（A）を参照する。まず、本実施例ではコーニング社の #7059 ガラスや #1737 ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板 4000 を用いる。なお、基板 4000 は、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板なども用いることが可能である。

【0061】次いで、下地絶縁膜 4001 を形成する。下地絶縁膜 4001 は、シリコンを含む絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等）を、プラズマ CVD 法またはスパッタ法にて形成する。本実施形態では、酸化窒化シリコン膜を 150 [nm] の厚さで形成した。

【0062】次に、図 4（A）に示すように、下地絶縁

膜 4001 上に、非晶質半導体膜を 30～60 nm の厚さで形成する。非晶質半導体膜の材質は限定しないが、好ましくはシリコンまたはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ ： $0 < x < 1$ 、代表的には  $x = 0.001 \sim 0.04$ ）合金等で形成すると良い。続いて、前記非晶質半導体膜に公知の結晶化処理（レーザー結晶化法、熱結晶化法、または Ni 等の触媒を用いた熱結晶化法等）を行う。

【0063】なお、本実施例では、プラズマ CVD 法を用いて 54 nm の非晶質半導体膜を成膜した。次いで、Ni を含む溶液を非晶質半導体膜上に保持させた。この非晶質半導体膜に脱水素化（500℃、1 時間）を行った後、熱結晶化（550℃、4 時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質半導体膜を形成した。なお、n チャネル型トランジスタのしきい値電圧（ $V_{th}$ ）を制御するために、p 型を付与する不純物元素を添加しても良い。p 型を付与する不純物元素としては、ボロン（B）、アルミニウム（Al）、ガリウム（Ga）等の周期律第 13 族元素が知られている。

【0064】次いで、前記結晶質半導体膜上にシリコンを含む絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等）を、プラズマ CVD 法またはスパッタ法にて形成する。そして、得られた非晶質半導体膜と、前記非晶質半導体膜上に形成された絶縁膜を所望の形状にパターンニングし、島状の半導体層 4002～4009、及び絶縁層 4010a～4010g を形成する。

【0065】次いで、絶縁層 4010a～4010g を覆う非晶質半導体膜 4011a を 30～60 nm の厚さで形成する。非晶質半導体膜 4011a の材質は限定しないが、好ましくはシリコンまたはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ ： $0 < x < 1$ 、代表的には  $x = 0.001 \sim 0.04$ ）合金等で形成すると良い。

【0066】次に、図 4（B）に示すように、半導体層 4006、4007 と接するように、非晶質半導体膜 4011a のパターンニングを行い、非晶質半導体層 4011b を形成する。非晶質半導体層 4011b は、後に光電変換素子 111 の光電変換層（i 層）として機能する。

【0067】次いで、絶縁層 4010a～4010g のうち、露出している領域の絶縁層（非晶質半導体層 4011b に覆われていない領域の絶縁層）がエッチングされる。この際、絶縁層 4010d、4010e は、非晶質半導体膜 4011b に覆われていない領域がエッチングされ、絶縁層 4010h、4010i となる（図 4（B））。

【0068】次いで、島状の半導体層 4002～4009 及び非晶質半導体層 4011b を覆うゲート絶縁膜 4060 を形成する。ゲート絶縁膜 4060 の材質として

シリコンを含む絶縁膜を用い、プラズマCVD法やスパッタ法によって40~140nmの厚さで形成する。ここで、ゲート絶縁膜4060は、シリコンを含む絶縁膜を、単層あるいは積層構造として形成すれば良い。

【0069】次に、ゲート絶縁膜4060上に、膜厚20~100nmの第1の導電膜(TaN)4012と、膜厚100~400nmの第2の導電膜(W)4013とを積層形成する。第1の導電膜4012及び第2の導電膜4013は、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。また、リン(P)等の不純物元素を添加したpSi膜に代表される半導体膜を用いても良い。

【0070】本実施例では、膜厚30nmのTa<sub>2</sub>N<sub>5</sub>膜からなる第1の導電膜4012と、膜厚370nmのW膜からなる第2の導電膜4013とを積層形成した。Ta<sub>2</sub>N<sub>5</sub>膜はスパッタ法により形成し、Taをターゲットに用い、窒素を含む雰囲気内でスパッタした。W膜は、Wをターゲットに用いてスパッタ法により形成した。その他に6フッ化タンゲステン(WF<sub>6</sub>)を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下とすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W膜中に酸素等の不純物元素が多い場合には結晶化が阻害されて高抵抗化する。したがって、本実施例においては、高純度のW(純度99.9999%)をターゲットに用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率9~20μΩcmを実現することが出来た。

【0071】次いで、図5(A)に示すように、フォトリソグラフィ法を用いてレジストマスク4014を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICPエッチング法を用い、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用い、それぞれのガス流量比を25/25/10sccmとし、1Paの圧力でコイル型の電極に500WのRF(13.46MHz)電力を投入してプラズマを生成してエッチングを行った。なお、エッチング用ガスとしては、Cl<sub>2</sub>、BCl<sub>3</sub>、SiCl<sub>4</sub>、CCl<sub>4</sub>などを代表とする塩素系ガスまたはCF<sub>4</sub>、SF<sub>6</sub>、NF<sub>3</sub>などを代表とするフッ素系ガス、またはO<sub>2</sub>を適宜用いることができる。基板側(試料ステージ)にも150WのRF(13.46MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

【0072】この後、レジストマスク4014を除去せ

ずに第2のエッチング条件に変え、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>とを用い、それぞれのガス流量比を30/30sccmとし、1Paの圧力でコイル型の電極に500WのRF(13.46MHz)電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも20WのRF(13.46MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N<sub>5</sub>膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は48.97(nm/min)、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は66.43(nm/min)である。なお、ゲート絶縁膜4060上に残渣を残すことなくエッチングするためには、10~20%程度の割合でエッチング時間を増加させると良い。

【0073】そして、レジストマスク4014を除去することなく第1のドーピング処理を行い、島状の半導体層4002~4009にn型を付与する不純物元素を添加する。ドーピング処理はイオンドーピング法もしくはイオン注入法で行えば良い。この場合、第1の形状の導電層4015~4020が不純物元素に対するマスクとなり、自己整合的に第1の不純物領域4021~4025、4026a、4026bが形成される。

【0074】この際、導電層4018と重なっている半導体層4006、4007には不純物元素がほとんど添加されない。そのため、半導体層4006、4007は、n型を付与する不純物元素が添加された不純物領域4026a、4026bと、n型を付与する不純物元素が添加されていない領域(実際は微量の不純物元素が添加されている領域)4026c、4026dの2つの領域が形成される。

【0075】さらに、図5(B)に示すように、レジストマスク4014を除去することなく第2のエッチング処理を行う。第2のエッチング処理では、第3及び第4のエッチング条件で行う。本実施例では、第3のエッチング条件として、エッチング用ガスにCF<sub>4</sub>とCl<sub>2</sub>を用い、それぞれのガス流量比を30/30sccmとし、1.0Paの圧力でコイル型の電極に500WのRF(13.46MHz)電力を投入してプラズマを生成してエッチングを15秒行った。基板側(試料ステージ)にも10WのWのRF(13.46MHz)電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は227.3(nm/min)、Ta<sub>2</sub>N<sub>5</sub>に対するエッチング速度は32.0(nm/min)であり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は7.1であり、ゲート絶縁膜4060に対するエッチング速度は33.7(nm/min)であり、Ta<sub>2</sub>N<sub>5</sub>に対するWの選択比は6.83である。このようにエッチングガス用ガスにSF<sub>6</sub>を用いた場合、ゲート絶縁膜4060との選択比が高いので膜減りを抑え

ることができる。また、駆動回路のトランジスタにおいては、テーパ部チャネル長方向の幅が長ければ長いほど信頼性が高いため、テーパ部を形成する際、SF<sub>6</sub>を含むエッチングガスでドライエッチングを行うことが有効である。

【0076】また、第4のエッチング条件として、CF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とをエッチングガスに用いることも可能である。その場合は、それぞれのガス流量比を20/20/20 sccmとし、1.0 Paの圧力でコイル型の電極に500 WのRF (13.46 MHz) 電力を投入してプラズマを生成してエッチングを行えばよい。基板側(試料ステージ)にも20 WのRF (13.46 MHz) 電力を投入し、実質的に負の自己バイアス電圧を印加する。CF<sub>4</sub>とCl<sub>2</sub>とO<sub>2</sub>とを用いる場合のWに対するエッチング速度は124.62 (nm/min)、Ta<sub>2</sub>Nに対するエッチング速度は20.67 (nm/min)であり、Ta<sub>2</sub>Nに対するWの選択比は6.04である。従って、W膜が選択的にエッチングされる。また、このとき、ゲート絶縁膜4060のうち、第1の形状の導電層4027~4032に覆われていない部分も同時にエッチングされて薄くなっている(図示せず)。

【0077】次いで、第2のドーピング処理を行う。ドーピングは第2の導電層4027b~4032bを不純物元素に対するマスクとして用い、第1の導電層のテーパ部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP(リン)を用い、ドーピング条件をドーズ量 $1.5 \times 10^{14}/\text{cm}^2$ 、加速電圧90 [keV]、イオン電流密度 $0.5 \mu\text{A}/\text{cm}^2$ 、フォスフィン(PH<sub>3</sub>) 5.0%水素希釈ガス、ガス流量30 sccmにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域4033~4037を自己整合的に形成する(図5(B))。

【0078】この際、図示していないが、非晶質半導体層4011bに、第2の導電層4030bをマスクとして不純物元素が添加され、微量の不純物元素が添加された不純物領域が形成される場合がある。しかし、微量の不純物元素が添加されたのみの不純物領域が形成されるならば、非晶質半導体層4011bが、光電変換素子111の光電変換層(i層)として機能するのに、何ら問題はない。

【0079】その後、レジストマスク4014を除去した後、後にnチャネル型トランジスタの活性層となる半導体層をレジストマスク4038で覆い、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型トランジスタの活性層となる半導体層に前記一導電型(n型)とは逆の導電型(p型)を付与する不純物元素が添加されたp型の高濃度不純物領域4039~4042を形成する。このとき、第1の導電層4027a~4032aを不純物元素に対するマスクとして用

い、p型を付与する不純物元素を添加してp型不純物領域を形成する(図5(C))。

【0080】本実施例では、p型不純物領域4039~4042はジボラン(B<sub>2</sub>H<sub>6</sub>)を用いたイオンドープ法で形成する。なお、第1のドーピング処理及び第2のドーピング処理によって、不純物領域4021~4025と、不純物領域4033~4037にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもボロンの濃度が $2 \times 10^{20} \sim 2 \times 10^{21}/\text{cm}^3$ となるようにドーピング処理することにより、pチャネル型トランジスタのソース領域及びドレイン領域として機能するために何ら問題は生じない。

【0081】ここまでの工程で、pチャネル型の増幅用トランジスタ112、pチャネル型の選択用トランジスタ112、nチャネル型のリセット用トランジスタ114、nチャネル型トランジスタ150、pチャネル型トランジスタ151がそれぞれ形成される。極性がnチャネル型のトランジスタにおいては、第1の導電層と重ならない低濃度不純物領域(LDD領域)が形成される。

【0082】次に、図6(A)に示すように、レジストマスク4038を除去して第1の層間絶縁膜4044を形成する。第1の層間絶縁膜4044は、プラズマCVD法またはスパッタ法を用いて、膜厚10~2000 nmでシリコンを含む絶縁膜(例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等)を形成する。本実施例では、プラズマCVD法により、SiON膜を第1の層間絶縁膜4044として膜厚200 nmで成膜して形成した。

【0083】その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この工程ではファーンズアニール炉を用いる熱アニール法にて行う。熱アニール法としては、酸素濃度が1 ppm以下、好ましくは0.1 ppm以下の窒素雰囲気中で400~700℃、代表的には400~550℃で行えば良く、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、この工程においては、熱アニール法の他に、レーザーアニール法、ラピッドサーマルアニール法(RTA法)等を適用することが出来る。

【0084】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のPを含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中のNi濃度が低減される。このようにして作製したチャネル形成領域を有するトランジスタはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

【0085】本実施例においては、ソース領域及びドレイン領域に含まれるリンを利用してゲッタリングを行ったが、他の方法としては、島状の半導体層の形成前に、島状半導体層以外の場所にP、Ar等の不活性ガスをド

ーピングにより添加して熱処理を行う方法がある。この方法ではマスクが1枚増加するが、良好にゲッタリングを行うことが出来る。

【0086】また、第1の層間絶縁膜4044を形成する前に活性化処理を行っても良い。ただし、用いる配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

【0087】次いで、熱処理（300～440℃で1～12時間）を行い、半導体層を水素化する工程を行う。本実施例では、100%水素雰囲気中で410℃、4時間の熱処理を行った。この工程は、半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射することが望ましい。

【0088】次いで、第2の層間絶縁膜4045を膜厚800nmで成膜して形成する。第2の層間絶縁膜4045は、プラズマCVD法またはスパッタ法を用いて、膜厚10～2000nmでシリコンを含む絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等）を形成する。本実施例では、プラズマCVD法により、SiON膜を第2の層間絶縁膜4045として膜厚800nmで成膜して形成した。

【0089】次いで、図6（A）に示すように、各不純物領域4023、4025、4026b、4039～4042に達するコンタクトホールを形成し、前記コンタクトホール上に金属膜を形成する。前記金属膜の材料は、AlまたはAgを主成分とする膜、またはこれに準ずる材料を用いればよい。次いで、前記各不純物領域と電気的に接続する配線4046～4057を形成するためのパターンニングを行う。

【0090】なお、光電変換素子111のn型半導体層4026aとp型半導体層4041にそれぞれ接続される配線4052と配線4053は、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114のいずれか一つのトランジスタのソース領域及びドレイン領域、又は電源線（VB1～VBx）等に電気的に接続されている。図12に示す半導体装置の場合、配線4052と配線4053が、どのトランジスタのソース領域及びドレイン領域に接続されているかは、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114のそれぞれのトランジスタに付与された導電性と、電源線（VB1～VBx）に印加される電圧と、電源基準線121に印加される電圧によってそれぞれ異なる。

【0091】不純物領域4026dと、不純物領域40

41と、非晶質半導体層4011bが光電変換素子111に相当する。本実施の形態では、不純物領域4026dがn型半導体層であり、非晶質半導体層4011bが光電変換層（i層）であり、不純物領域4041がp型半導体層である。

【0092】次いで、第3の層間絶縁膜4058を、プラズマCVD法またはスパッタ法を用いて、膜厚10～1000nmでシリコンを含む絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等）を形成する。本実施例では、プラズマCVD法により、第3の層間絶縁膜4058として、有機樹脂膜を膜厚800nmで成膜して形成した。

【0093】以上のようにして、画素部103の光電変換素子111と、該光電変換素子111を制御するためのトランジスタと、駆動回路部101のトランジスタとを同一基板上に形成することができる。

【0094】本実施例のマスク数は、トランジスタのみを形成する工程に必要なマスク数5枚（島状の半導体層4002～4009を作製するためのマスク、ゲート電極4015～4020を作製するためのマスク4014、p型不純物領域を作製するためのマスク4033、配線4042～4057用のコンタクトホールを作製するためのマスク、配線4046～4057を作製するためのマスク）に、1枚のマスク（非晶質半導体膜4011aをパターンニングして作製する際に必要なマスク）のみを追加して形成することが可能となる。

【0095】なお、本実施例では、リセット用トランジスタ114をnチャネル型トランジスタとして形成し、増幅用トランジスタ112と選択用トランジスタ112をpチャネル型トランジスタとして形成したが、本発明はこれに限定されず、それぞれのトランジスタの極性はnチャネル型とpチャネル型のどちらでもよい。但し、選択用トランジスタ112とリセット用トランジスタ114の極性は逆の方が好ましい。

【0096】（実施の形態3）本実施の形態では、半導体装置の画素部に設けられる光電変換素子とトランジスタ、及びそれらの周囲に設けられる駆動回路部（ソース信号線駆動回路、ゲート信号線駆動回路）のトランジスタを同時に作製する方法について、実施例1、2とは異なる例について詳しく説明する。

【0097】なお、図10に示すように、本明細書では、ソース信号線駆動回路90とゲート信号線駆動回路92を総称して駆動回路部101とよぶ。本実施の形態では、駆動回路部101は、基本単位であるCMOS回路を示す。また、本実施例では、図12に示すように、画素部103は、画素102に光電変換素子111と増幅用トランジスタ113、及び選択用トランジスタ112とリセット用トランジスタ114を有する半導体装置の例を示す。

【0098】図7（A）を参照する。まず、本実施例で

はコーニング社の#7059ガラスや#1737ガラスなどに代表されるバリウムホウケイ酸ガラス、またはアルミノホウケイ酸ガラスなどのガラスからなる基板7000を用いる。なお、基板7000としては、透光性を有する基板であれば限定されず、石英基板を用いても良い。また、本実施例の処理温度に耐えうる耐熱性を有するプラスチック基板を用いてもよい。

【0099】次いで、下地絶縁膜7001を形成する。下地絶縁膜7001は、シリコンを含む絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等）を、プラズマCVD法またはスパッタ法にて形成する。本実施形態では、酸化窒化シリコン膜を150nmの厚さで形成した。

【0100】次に、図7（A）に示すように、下地絶縁膜7001上に、非晶質半導体膜を30～60nmの厚さで形成する。非晶質半導体膜の材質は限定しないが、好ましくはシリコンまたはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ ：0<x<1、代表的にはx=0.001～0.04）合金等で形成すると良い。続いて、前記非晶質半導体膜に公知の結晶化処理（レーザー結晶化法、熱結晶化法、またはNi等の触媒を用いた熱結晶化法等）を行う。

【0101】なお、本実施例では、プラズマCVD法を用いて54nmの非晶質半導体膜を成膜した。次いで、Niを含む溶液を非晶質半導体膜上に保持させた。この非晶質半導体膜に脱水素化（500℃、1時間）を行った後、熱結晶化（550℃、4時間）を行い、さらに結晶化を改善するためのレーザーアニール処理を行って結晶質半導体膜を形成した。なお、nチャネル型トランジスタのしきい値電圧（ $V_{th}$ ）を制御するために、p型を付与する不純物元素を添加しても良い。p型を付与する不純物元素としては、ボロン（B）、アルミニウム（Al）、ガリウム（Ga）等の周期律第13族元素が知られている。

【0102】次いで、前記結晶質半導体膜上にシリコンを含む絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等）を、プラズマCVD法またはスパッタ法にて形成する。そして、得られた非晶質半導体膜と、前記非晶質半導体膜上に形成された絶縁膜を所望の形状にパターンニングし、島状の半導体層7002～7009、及び絶縁層7010a～7010gを形成する。

【0103】次いで、島状の半導体層7002～7009、及び絶縁層7010a～7010gを覆う非晶質半導体膜7011aを30～60nmの厚さで形成する。非晶質半導体膜7011aの材質は限定しないが、好ましくはシリコンまたはシリコンゲルマニウム（ $\text{Si}_x\text{Ge}_{1-x}$ ：0<x<1、代表的にはx=0.001～0.07）合金等で形成すると良い。次いで、図7（A）に示すように、非晶質半導体膜7011a上に、微結晶半

導体膜7061bを形成する。微結晶半導体膜7061bは、公知のいずれの方法を用いて形成することが可能であるが、本実施例では水素希釈法により形成した。

【0104】次に、図7（B）に示すように、半導体層7006、7007の一部と重なるように、非晶質半導体膜7011aと微結晶半導体膜7061aのパターンニングを行い、非晶質半導体層7011bと微結晶半導体層7061bを形成する。

【0105】非晶質半導体層7011bは、後に光電変換素子111の光電変換層（i層）として機能する。また、微結晶半導体層7061bは、後に光電変換素子111のp型半導体層またはn型半導体層のどちらか一方として機能する。

【0106】次いで、絶縁層7010a～7010gのうち、露出している領域の絶縁層（非晶質半導体層7011bに覆われていない領域の絶縁層）がエッチングされる。この際、絶縁層7010d、7010eは、非晶質半導体膜7011に覆われていない部分がエッチングされ、絶縁層7010h、7010iとなる（図7（B））。

【0107】次いで、半導体層7001～7009を覆うゲート絶縁膜7060を形成する。ゲート絶縁膜7060の材質としてシリコンを含む絶縁膜を用い、プラズマCVD法やスパッタ法によって70～170nmの厚さで形成する。ここで、ゲート絶縁膜7060は、シリコンを含む絶縁膜を、単層あるいは積層構造として形成すれば良い。

【0108】次に、ゲート絶縁膜7060上に、膜厚20～100nmの第1の導電膜（TaN）7012と、膜厚100～700nmの第2の導電膜（W）7013とを積層形成する。第1の導電膜7012及び第2の導電膜7013は、Ta、W、Ti、Mo、Al、Cuから選ばれた元素、または前記元素を主成分とする合金材料もしくは化合物材料で形成しても良い。また、リン（P）等の不純物元素を添加したpSi膜に代表される半導体膜を用いても良い。

【0109】本実施例では、膜厚30nmのTaN膜からなる第1の導電膜7012と、膜厚370nmのW膜からなる第2の導電膜7013とを積層形成した。TaN膜はスパッタ法により形成し、Taをターゲットに用い、窒素を含む雰囲気内でスパッタした。W膜は、Wをターゲットに用いてスパッタ法により形成した。その他に6フッ化タングステン（WF<sub>6</sub>）を用いる熱CVD法で形成することも出来る。いずれにしてもゲート電極として使用するためには低抵抗化を図る必要があり、W膜の抵抗率は20μΩcm以下とすることが望ましい。W膜は結晶粒を大きくすることで低抵抗率化を図ることが出来るが、W膜中に酸素等の不純物元素が多い場合には結晶化が阻害されて高抵抗化する。したがって、本実施例においては、高純度のW（純度99.9999%）をタ

ーゲットに用いたスパッタ法で、さらに成膜時に気相中からの不純物の混入がないように十分配慮してW膜を形成することにより、抵抗率 $9 \sim 20 \mu\Omega\text{cm}$ を実現することが出来た。

【0110】次いで、図8(A)に示すように、フォトリソグラフィ法を用いてレジストマスク7014を形成し、電極及び配線を形成するための第1のエッチング処理を行う。第1のエッチング処理では第1及び第2のエッチング条件で行う。本実施例では第1のエッチング条件として、ICPエッチング法を用い、エッチング用ガスに $\text{CF}_7$ と $\text{Cl}_2$ と $\text{O}_2$ とを用い、それぞれのガス流量比を $25/24/10 \text{ sccm}$ とし、 $1.0 \text{ Pa}$ の圧力でコイル型の電極に $500 \text{ W}$ のRF( $13.76 \text{ MHz}$ )電力を投入してプラズマを生成してエッチングを行った。なお、エッチング用ガスとしては、 $\text{Cl}_2$ 、 $\text{BCl}_3$ 、 $\text{SiCl}_4$ 、 $\text{CCl}_4$ などを代表とする塩素系ガスまたは $\text{CF}_7$ 、 $\text{SF}_6$ 、 $\text{NF}_3$ などを代表とするフッ素系ガス、または $\text{O}_2$ を適宜用いることができる。基板側

(試料ステージ)にも $170 \text{ W}$ のRF( $13.76 \text{ MHz}$ )電力を投入し、実質的に負の自己バイアス電圧を印加する。この第1のエッチング条件によりW膜をエッチングして第1の導電層の端部をテーパ形状とする。

【0111】この後、レジストマスク7014を除去せずに第2のエッチング条件に変え、エッチング用ガスに $\text{CF}_7$ と $\text{Cl}_2$ とを用い、それぞれのガス流量比を $30/30 \text{ sccm}$ とし、 $1.0 \text{ Pa}$ の圧力でコイル型の電極に $500 \text{ W}$ のRF( $13.76 \text{ MHz}$ )電力を投入してプラズマを生成して約30秒程度のエッチングを行った。基板側(試料ステージ)にも $20 \text{ W}$ のRF( $13.76 \text{ MHz}$ )電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_7$ と $\text{Cl}_2$ を混合した第2のエッチング条件ではW膜及びTa<sub>2</sub>N膜とも同程度にエッチングされる。第2のエッチング条件でのWに対するエッチング速度は $78.97 \text{ (nm/min)}$ 、Ta<sub>2</sub>Nに対するエッチング速度は $66.73 \text{ (nm/min)}$ である。なお、ゲート絶縁膜7060上に残渣を残すことなくエッチングするためには、 $10 \sim 20\%$ 程度の割合でエッチング時間を増加させると良い。

【0112】そして、レジストマスク7014を除去することなく第1のドーピング処理を行い、島状の半導体層7002～7009にn型を付与する不純物元素を添加する。ドーピング処理はイオンドーピング法もしくはイオン注入法で行えば良い。この場合、第1の形状の導電層7015～7019が不純物元素に対するマスクとなり、自己整合的に第1の不純物領域7020～7025、7026a、7026bが形成される。なお、微結晶半導体層7060b上には導電層は形成されていないが、微結晶半導体層7061b、半導体層7006、7007にも不純物元素がドーピングされる。

【0113】この際、電極4018と重なっている半導

体層4006、4007には不純物元素がほとんど添加されない。そのため、半導体層4006、4007は、n型を付与する不純物元素が添加された不純物領域4026a、4026bと、n型を付与する不純物元素が添加されていない領域(実際は微量の不純物元素が添加されている領域)4026c、4026dの2つの領域が形成される。

【0114】さらに、図8(B)に示すように、レジストマスク7014を除去することなく第2のエッチング処理を行う。第2のエッチング処理では、第3及び第4のエッチング条件で行う。本実施例では、第3のエッチング条件として、エッチング用ガスに $\text{CF}_4$ と $\text{Cl}_2$ を用い、それぞれのガス流量比を $30/30 \text{ sccm}$ とし、 $1.0 \text{ Pa}$ の圧力でコイル型の電極に $500 \text{ W}$ のRF( $13.46 \text{ MHz}$ )電力を投入してプラズマを生成してエッチングを15秒行った。基板側(試料ステージ)にも $10 \text{ W}$ のRF( $13.46 \text{ MHz}$ )電力を投入し、実質的に負の自己バイアス電圧を印加する。第2のエッチング処理でのWに対するエッチング速度は $227.3 \text{ (nm/min)}$ 、Ta<sub>2</sub>Nに対するエッチング速度は $32.0 \text{ (nm/min)}$ であり、Ta<sub>2</sub>Nに対するWの選択比は7.1であり、ゲート絶縁膜4060に対するエッチング速度は $33.7 \text{ (nm/min)}$ であり、Ta<sub>2</sub>Nに対するWの選択比は6.83である。このようにエッチングガス用ガスに $\text{SF}_6$ を用いた場合、ゲート絶縁膜7060との選択比が高いので膜減りを抑えることができる。また、駆動回路のトランジスタにおいては、テーパ部のチャネル長方向の幅が長ければ長いほど信頼性が高いため、テーパ部を形成する際、 $\text{SF}_6$ を含むエッチングガスでドライエッチングを行うことが有効である。

【0115】また、第4のエッチング条件として、 $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とをエッチングガスに用いることも可能である。その場合は、それぞれのガス流量比を $20/20/20 \text{ sccm}$ とし、 $1.0 \text{ Pa}$ の圧力でコイル型の電極に $500 \text{ W}$ のRF( $13.46 \text{ MHz}$ )電力を投入してプラズマを生成してエッチングを行えばよい。基板側(試料ステージ)にも $20 \text{ W}$ のRF( $13.46 \text{ MHz}$ )電力を投入し、実質的に負の自己バイアス電圧を印加する。 $\text{CF}_4$ と $\text{Cl}_2$ と $\text{O}_2$ とを用いる場合のWに対するエッチング速度は $124.62 \text{ (nm/min)}$ 、Ta<sub>2</sub>Nに対するエッチング速度は $20.67 \text{ (nm/min)}$ であり、Ta<sub>2</sub>Nに対するWの選択比は6.04である。従って、W膜が選択的にエッチングされる。また、このとき、ゲート絶縁膜7060のうち、第1の形状の導電層7015～7019に覆われていない部分も同時にエッチングされて薄くなっている(図示せず)。

【0116】次いで、第2のドーピング処理を行う。ドーピングは第2の導電層7027b～7031bを不純物元素に対するマスクとして用い、第1の導電層のテー



一部下方の半導体層に不純物元素が添加されるようにドーピングする。本実施例では、不純物元素としてP（リン）を用い、ドーピング条件をドーズ量 $1.5 \times 10^{17}/\text{cm}^2$ 、加速電圧90[kV]、イオン電流密度 $0.5 \mu\text{A}/\text{cm}^2$ 、フォスフィン（PH<sub>3</sub>）5.0%水素希釈ガス、ガス流量30 sccmにてプラズマドーピングを行った。こうして、第1の導電層と重なる低濃度不純物領域7033～7037を自己整合的に形成する（図8（B））。

【0117】その後、レジストマスク7014を除去した後、後にnチャネル型トランジスタの活性層となる半導体層をレジストマスク7038で覆い、第3のドーピング処理を行う。この第3のドーピング処理により、pチャネル型トランジスタの活性層となる半導体層に前記一導電型（n型）とは逆の導電型（p型）を付与する不純物元素が添加されたp型の高濃度不純物領域7039～7042を形成する。このとき、第1の導電層7027a～7031aを不純物元素に対するマスクとして用い、p型を付与する不純物元素を添加してp型不純物領域を形成する（図8（C））。

【0118】次いで、レジストマスク7038を作製する。この際、レジストマスク7038を作製する際は、微結晶半導体層7020を覆わないように作製したいが、図8（C）に示すように、レジストマスク7038は、微結晶半導体層7020の一部と重なるように作製されてしまう場合がある。そして、レジストマスク7038に覆われていない領域（露出している領域）の微結晶半導体層7020には、p型を付与する不純物元素が添加される。その結果、微結晶半導体層7020は、p型不純物領域7041とn型不純物領域7043の極性の異なる不純物領域が形成される。

【0119】本実施例では、p型不純物領域7039～7072はジボラン（B<sub>2</sub>H<sub>6</sub>）を用いたイオンドープ法で形成する。なお、第1のドーピング処理及び第2のドーピング処理によって、不純物領域7021～7026と、不純物領域7033～7037にはそれぞれ異なる濃度でリンが添加されているが、そのいずれの領域においてもボロンの濃度が $2 \times 10^{20} \sim 2 \times 10^{21}/\text{cm}^3$ となるようにドーピング処理することにより、pチャネル型トランジスタのソース領域及びドレイン領域として機能するために何ら問題は生じない。

【0120】ここまでの工程で、画素部103として、pチャネル型の増幅用トランジスタ112と、pチャネル型の選択用トランジスタ112と、nチャネル型のリセット用トランジスタ117と、光電変換素子111とがそれぞれ形成される。また、駆動回路部101として、nチャネル型トランジスタ150、pチャネル型トランジスタ151がそれぞれ形成される。極性がnチャネル型のトランジスタにおいては、第1の導電層と重ならない低濃度不純物領域（LDD領域）が形成される。

【0121】次に、図9（A）に示すように、レジストマスク7038を除去して第1の層間絶縁膜7044を形成する。第1の層間絶縁膜7044は、プラズマCVD法またはスパッタ法を用いて、膜厚10～1000nmでシリコンを含む絶縁膜（例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等）を形成する。本実施例では、プラズマCVD法により、SiON膜を第1の層間絶縁膜7044で膜厚800nmで成膜して形成した。

10 【0122】その後、それぞれの半導体層に添加された不純物元素を活性化処理する工程を行う。この工程ではファーンズアニール炉を用いる熱アニール法にて行う。熱アニール法としては、酸素濃度が1ppm以下、好ましくは0.1ppm以下の窒素雰囲気中で400～700℃、代表的には400～550℃で行えば良く、本実施例では550℃、4時間の熱処理で活性化処理を行った。なお、この工程においては、熱アニール法の他に、レーザーアニール法、ラピッドサーマルアニール法（RTA法）等を適用することが出来る。

20 【0123】なお、本実施例では、上記活性化処理と同時に、結晶化の際に触媒として使用したニッケルが高濃度のPを含む不純物領域にゲッタリングされ、主にチャネル形成領域となる半導体層中のNi濃度が低減される。このようにして作製したチャネル形成領域を有するトランジスタはオフ電流値が下がり、結晶性が良いことから高い電界効果移動度が得られ、良好な特性を達成することができる。

30 【0124】本実施例においては、ソース領域及びドレイン領域に含まれるリンを利用してゲッタリングを行ったが、他の方法としては、島状の半導体層の形成前に、島状半導体層以外の場所にPまたはAr等の不活性ガスをドーピングにより添加して熱処理を行う方法がある。この方法ではマスクが1枚増加するが、良好にゲッタリングを行うことが出来る。

40 【0125】また、第1の層間絶縁膜7044を形成する前に活性化処理を行っても良い。ただし、用いる配線材料が熱に弱い場合には、本実施例のように配線等を保護するため層間絶縁膜（シリコンを主成分とする絶縁膜、例えば窒化珪素膜）を形成した後で活性化処理を行うことが好ましい。

50 【0126】次いで、熱処理（300～770℃で1～12時間）を行い、半導体層を水素化する工程を行う。本実施例では、100%水素雰囲気中で410℃、4時間の熱処理を行った。この工程は、半導体層のダングリングボンドを終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【0127】また、活性化処理としてレーザーアニール法を用いる場合には、上記水素化を行った後、エキシマレーザーやYAGレーザー等のレーザー光を照射するこ

とが望ましい。

【0128】次いで、図9(A)に示すように、各不純物領域7023、7024、7026a、7026b、7039～7042に達するコンタクトホールを形成し、前記コンタクトホール上に金属膜を形成する。前記金属膜の材料は、AlまたはAgを主成分とする膜、またはこれに準ずる材料を用いればよい。次いで、前記各不純物領域と電気的に接続する配線7046～7058を形成するためのパターンニングを行う。

【0129】なお、光電変換素子111のn型半導体層7026a、7026dとp型半導体層7041にそれぞれ接続される配線7052、7053、7058は、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114のいずれか一つのトランジスタのソース領域及びドレイン領域、又は電源線(VB1～VBx)等に電気的に接続されている。図12に示す半導体装置の場合、配線7052、7053、70058が、どのトランジスタのソース領域及びドレイン領域に接続されているかは、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114のそれぞれのトランジスタに付与された導電性と、電源線(VB1～VBx)に印加される電圧と、電源基準線121に印加される電圧によってそれぞれ異なる。

【0130】ここで、不純物領域7026a及び不純物領域7026bは、n型半導体層として機能する。非晶質半導体膜7011bは、光電変換層(i層)として機能し、微結晶半導体層7041が、p型半導体層として機能する。また、半導体層71026b及び半導体層7026cも光電変換層(i層)として機能する。

【0131】次いで、第2の層間絶縁膜7058を、プラズマCVD法またはスパッタ法を用いて、膜厚10～2000nmでシリコンを含む絶縁膜(例えば、酸化シリコン膜、酸化窒化シリコン膜、窒化シリコン膜等)を形成する。本実施例では、プラズマCVD法により、第2の層間絶縁膜7058として、SiON膜を膜厚800nmで成膜して形成した。

【0132】以上のようにして、画素部103の光電変換素子111と、該光電変換素子111を制御するためのトランジスタと、駆動回路部101のトランジスタとを同一基板上に形成することができる。

【0133】本実施例のマスク数は、トランジスタのみを形成する工程に必要なマスク数5枚(島状の半導体層7002～7009を作製するためのマスク、導電層7012～7019を作製するためのマスク7014、p型不純物領域を作製するためのマスク7038、配線7046～7057用のコンタクトホールを作製するためのマスク、配線7046～7057を作製するためのマスク)に、1枚のマスク(非晶質半導体膜7011aと微結晶半導体膜7061aのパターンニングを行う際に必

要なマスク)のみを追加して形成することが可能となる。

【0134】なお、本実施例では、リセット用トランジスタ117をnチャネル型トランジスタとして形成し、増幅用トランジスタ112と選択用トランジスタ112をpチャネル型トランジスタとして形成したが、本発明はこれに限定されず、それぞれのトランジスタの極性はnチャネル型とpチャネル型のどちらでもよい。但し、選択用トランジスタ112とリセット用トランジスタ117の極性は逆の方が好ましい。

【0135】

【実施例】(実施例1)本実施例では、本発明の半導体装置の回路構成例を図10に示す。

【0136】本実施例では、ソース信号線駆動回路90と、画素部103と、ゲート信号線駆動回路92を有している。本明細書中において、駆動回路部101とはソース信号線駆動回路90とゲート信号線駆動回路92を合わせた総称である。

【0137】ソース信号線駆動回路90は、シフトレジスタ90a、サンプル&ホールド回路90b、信号出力線用駆動回路90c、バッファ90dを有する。また、ゲート信号線駆動回路92は、シフトレジスタ92a、バッファ92bを有する。必要であればサンプリング回路とシフトレジスタとの間にレベルシフト回路を設けてもよい。

【0138】また、本実施例において、画素部103は複数の画素を有する。これらのソース信号線駆動回路90およびゲート信号線駆動回路92は、全てpチャネル型TFTあるいは全てnチャネル型TFTで形成することもできる。

【0139】また、本実施例では画素部103と駆動回路部101の構成のみを示しているが、さらにメモリやマイクロプロセッサを形成してもよい。

【0140】なお、本実施例は、実施の形態と自由に組み合わせることが可能である。

【0141】(実施例2)本実施例では、本発明を適用することが可能な半導体装置の回路図の一例を説明する。

【0142】図11は、半導体装置の画素部の回路図を示す。画素部103はセンサ選択信号線(SG1～SGy)、センサ用信号出力線(SS1～SSx)、センサ用電源線(VB1～VBx)を有している。

【0143】画素部103は複数の画素102を有している。画素102は、フォトダイオード111と、センサ選択用トランジスタ112と、センサ選択信号線(SG1～SGy)のいずれか1つと、センサ用信号出力線(SS1～SSx)のいずれか1つを有している。

【0144】フォトダイオード111のPチャネル側端子は電源基準線121に接続されている。センサ選択用トランジスタ112のソース領域またはドレイン領域に

は、一方にはフォトダイオード 111 の N チャンネル側端子が接続されており、もう一方にはセンサ用信号出力線 (SS1~SSx) が接続されている。センサ選択用トランジスタ 112 のゲート電極には、センサ選択信号線 (SG1~SGy) が接続されている。

【0145】なお、本実施例は、実施の形態及び実施例 1 と自由に組み合わせることが可能である。

【0146】(実施例 3) 本実施例では、実施例 1 とは異なる半導体装置の回路図の一例について説明する。

【0147】図 12 は、アクティブ型の半導体装置の画素部の回路図を示す。画素部 103 はセンサ選択信号線 (SG1~SGy)、センサリセット信号線 (SR1~SRy)、センサ用信号出力線 (SS1~SSx)、センサ用電源線 (VB1~VBx) を有している。

【0148】画素部 103 は複数の画素 102 を有している。画素 102 は、フォトダイオード 111 と、センサ選択用トランジスタ 112 と、増幅用トランジスタ 113 と、センサリセット用トランジスタ 114 と、センサ選択信号線 (SG1~SGy) のいずれか 1 つと、センサリセット信号線 (SR1~SRy) のいずれか 1 つと、センサ用信号出力線 (SS1~SSx) のいずれか 1 つと、センサ用電源線 (VB1~VBx) のいずれか 1 つを有している。

【0149】フォトダイオード 111 の P チャンネル側端子は電源基準線 121 に接続され、N チャンネル側端子は、増幅用トランジスタ 113 のゲート電極に接続されている。

【0150】増幅用トランジスタ 113 のドレイン領域とソース領域は、一方はセンサ用電源線 (VB1~VBx) に接続されており、もう一方はセンサ選択用トランジスタ 112 のドレイン領域に接続されている。増幅用トランジスタ 113 は、バイアス用トランジスタ 120 とソースフォロウ回路を形成する。そのため、増幅用トランジスタ 113 とバイアス用トランジスタ 120 の極性は同じである方がよい。

【0151】センサ選択用トランジスタ 112 のゲート電極には、センサ選択信号線 (SG1~SGy) が接続され、センサ選択用トランジスタ 112 のソース領域には、センサ用信号出力線 (SS1~SSx) が接続されている。

【0152】センサリセット用トランジスタ 114 のゲート電極は、センサリセット信号線 (SR1~SRy) に接続されている。センサリセット用トランジスタ 114 のソース領域とドレイン領域は、一方はセンサ用電源線 (VB1~VBx) に接続されており、もう一方は増幅用トランジスタ 111 のゲート電極に接続されている。

【0153】バイアス用トランジスタ 120 のソース領域及びドレイン領域は、一方はセンサ用信号出力線 (SS1~SSx) に接続されており、もう一方は電源線 1

22 に接続されている。またバイアス用トランジスタ 120 のゲート電極は、バイアス用信号線 (BS) に接続されている。

【0154】なお、本実施例は、実施の形態及び実施例 1、2 と自由に組み合わせることが可能である。

【0155】(実施例 4) 本実施例では、実施例 2 で説明した半導体装置の基本的な動作について説明する。図 13 には、図 12 で示した画素部 103 における i 行目 j 列目の画素 (i、j) を示す。

10 【0156】まず、センサリセット用トランジスタ 114 を導通状態にする。センサリセット用トランジスタ 114 を導通状態にすると、光電変換素子 111 の p チャンネル型端子が電源基準線 121 に接続された状態になり、かつ、光電変換素子 111 の n チャンネル型端子がセンサ用電源線 (VB i) に電気的に接続された状態となる。この際、電源基準線 121 の電位は基準電位 0V であり、センサ用電源線 (VB i) の電位は電源電位 Vd d である。そのため、光電変換素子 111 には、逆バイアス電圧が与えられる。なお、本明細書では、光電変換素子 111 の n チャンネル型端子の電位が、センサ用電源線 (VB i) の電位まで充電される動作をリセットと呼ぶことにする。

20 【0157】次に、センサリセット用トランジスタ 114 を非導通状態にする。センサリセット用トランジスタ 114 を非導通状態にすると、光電変換素子 111 に光が照射されていた場合は、光電変換により、光電変換素子 111 に電荷が発生する。そのため、時間が経過するに従って、センサ用電源線 (VB i) の電位と同じ電位が充電されていた光電変換素子 111 の n チャンネル型端子の電位は、徐々に低くなってしまふ。

30 【0158】次に、ある一定時間経過した後、センサ選択用トランジスタ 112 を導通状態にする。センサ選択用トランジスタ 112 を導通状態にすると、光電変換素子 111 の n チャンネル型端子の電位が増幅用トランジスタ 113 を通って、センサ信号出力線 (SS i) へ出力される。

40 【0159】但し、センサ信号出力線 (SS i) に光電変換素子 111 の n チャンネル型端子の電位が出力されている状態において、バイアス信号線 (BS) には、電位が与えられている。つまり、バイアス用トランジスタ 120 には、電流が流れるようになっているため、増幅用トランジスタ 113 とバイアス用トランジスタ 120 は、ソースフォロウ回路として機能している。

50 【0160】図 13 では、光電変換素子 111 の p チャンネル型端子が接続されている配線、つまり、電源基準線 121 は、光電変換素子側電源線と呼ぶこともできる。また、光電変換素子側電源線の電位は、光電変換素子 111 の向きによって変わる。図 13 では、光電変換素子側電源線には、光電変換素子 111 の p チャンネル型端子が接続されており、その電位は基準電位 0V である。そ

のため、図13では、光電変換素子側電源線を電源基準線と呼んでいる。

【0161】同様に、図13では、センサリセット用トランジスタ114が接続されている配線、つまり、センサ用電源線(VBi)は、リセット側電源線と呼ぶこともできる。リセット側電源線の電位は、光電変換素子111の向きによって変わる。図13では、リセット側電源線には、センサリセット用トランジスタ114を介して、光電変換素子111のnチャネル側端子が接続されており、その電位は電源電位Vddである。そのため、図13では、リセット側電源線を電源線と呼んでいる。

【0162】なお、光電変換素子111をリセットする動作は、光電変換素子111に逆バイアス電圧が与えられる動作と同じである。よって、光電変換素子111の向きによって、光電変換素子側電源線とリセット側電源線の電位の大小関係は変化する。

【0163】次に、図14に基本的なソースフォロウ回路の例を示す。図14では、nチャネル型トランジスタを用いた場合について示すが、pチャネル型トランジスタを用いてソースフォロウ回路を構成することも出来る。

【0164】増幅側電源線130には、電源電位Vddが与えられており、電源線122には、基準電位0Vが与えられている。増幅用トランジスタ113のドレイン領域は増幅側電源線130に接続され、増幅用トランジスタ113のソース領域はバイアス用トランジスタ120のドレイン領域に接続されている。バイアス用トランジスタ120のソース領域は、電源線122に接続されている。

【0165】バイアス用トランジスタ120のゲート電極には、バイアス電位Vbが与えられ、バイアス用トランジスタ120には、バイアス電流Ibが流れている。バイアス用トランジスタ120は、定電流源として動作する。

【0166】図14において、増幅用トランジスタ113のゲート電極が、入力端子131である。よって、増幅用トランジスタ113のゲート電極には、入力電位Vinが加えられる。また、増幅用トランジスタ113のソース領域が出力端子132である。よって、増幅用トランジスタ113のソース領域の電位が、出力電位Voutとなる。この際、ソースフォロウ回路の電位の入出力関係は、 $V_{out} = V_{in} - V_b$ となる。

【0167】なお、図14においては、センサ選択用トランジスタ112は、導通状態であることを想定し、省略されている。また光電変換素子111のnチャネル型端子の電位は、入力電位Vin(増幅用トランジスタ113のゲート電位、つまり入力端子131の電位)に対応する。センサ信号出力線(SSi)の電位は、出力電位Vout(増幅用トランジスタ113のソース電位、つまり出力端子132の電位)に対応する。センサ用電

源線(VBi)は、増幅側電源線130に対応する。

【0168】従って、図14において、光電変換素子111のnチャネル型端子の電位をVpdとし、バイアス信号線(BS)の電位、つまり、バイアス電位をVbとし、センサ信号出力線(SSi)の電位をVoutとする。また、電源基準線121と電源線122の電位を0Vとすると、 $V_{out} = V_{pd} - V_b$ となる。よって、光電変換素子111のnチャネル型端子の電位Vpdが変化すると、Voutも変化することになり、Vpdの変化を信号として出力する。よって、光電変換素子111は、光強度を読み取ることが出来る。

【0169】次に、画素102での信号のタイミングチャートを図15に示す。

【0170】始めに、センサリセット信号線(SR1~SRy)を制御し、センサリセット用トランジスタ114を導通状態にする。

【0171】次に、光電変換素子111のnチャネル型端子の電位は、センサ用電源線(VBi)の電位である電源電位Vddにまで充電される。すなわち、画素102がリセットされる。それから、センサリセット信号線(SR1~SRy)を制御し、センサリセット用トランジスタ114を非導通状態にする。

【0172】その後、光電変換素子111に光が照射されていると、光強度に応じた電荷が光電変換素子111に発生する。そして、リセットにより充電された電荷が、徐々に放電され、光電変換素子111のnチャネル型端子の電位が低くなっていく。

【0173】図12に示すように、光電変換素子111に明るい光が照射されている場合は、放電される量が多いため、光電変換素子111のnチャネル型端子の電位は低くなる。光電変換素子111に暗い光が照射されている場合は、放電される量が少なく、光電変換素子111のnチャネル型端子の電位は、明るい光が照射されている場合に比べると、あまり低くならない。

【0174】そして、ある時点において、センサ選択用トランジスタ112を導通状態にして、光電変換素子111のnチャネル型端子の電位を信号として読み出す。この信号は、光電変換素子111に照射された光の強度に比例している。そして、再びセンサリセット用トランジスタ114を導通状態にして光電変換素子111をリセットし、上述の動作を繰り返していく。

【0175】但し、非常に明るい光が照射された場合は、光電変換素子111の電荷の放電される量が非常に多いため、光電変換素子111のnチャネル型端子の電位は、非常に低下してしまう。しかし、光電変換素子111のnチャネル型端子の電位は、光電変換素子111のpチャネル型端子、つまり電源基準線121の電位より低くなることはない。

【0176】また、非常に明るい光が照射された場合は、光電変換素子111のnチャネル型端子の電位が低

くなってくるが、その電位が電源基準線 121 の電位まで低くなると、電位は変化しなくなる。このような状況を飽和と呼ぶ。飽和すると、光電変換素子 111 の n チャネル型端子の電位が変化しなくなってしまうため、正しい光強度に応じた信号を出力できない。よって、正常に動作させるためには、光電変換素子 111 が飽和しないようにして、動作させる必要がある。

【0177】また、画素 102 がリセットされてから、信号を出力する時までの期間は、蓄積時間と呼ばれる。蓄積時間とは、イメージセンサの受光部に光を照射し、信号を蓄積している時間のことであり、露光時間ともよばれる。蓄積時間において、光電変換素子 111 は、光電変換素子 111 に照射された光によって生成される電荷を蓄積している。

【0178】よって、蓄積時間が異なると、たとえ同じ光強度であっても、光によって生成される電荷の総量が異なるため、信号値も異なってしまう。例えば、強い光が光電変換素子 111 に照射された場合は、短い蓄積時間で飽和してしまう。また、弱い光が光電変換素子 111 に照射された場合であっても、蓄積時間が長いと、い

ずれば飽和状態に達する。つまり、信号は、光電変換素子 111 に照射される光の強さと蓄積時間との積によって決定する。

【0179】なお、本実施例は、実施の形態及び実施例 1乃至実施例 4 と自由に組み合わせることが可能である。

【0180】(実施例 5) 本実施例では、本発明の半導体装置の回路構成の一例を図 19 に示す。本実施例では、発光素子と光電変換素子、並びに複数のトランジスタを一画素中に設けた半導体装置について説明する。本実施例の半導体装置は、イメージセンサ機能と表示機能の 2 つの機能を有する。

【0181】本実施例では、ソース信号線駆動回路 120 と、ゲート信号線駆動回路 122 と、画素部 103 と、センサ用ソース信号線駆動回路 121 と、センサ用ゲート信号線駆動回路 123 とを有している。

【0182】ソース信号線駆動回路 120 は、シフトレジスタ 120a、ラッチ (A) 120b、ラッチ (B) 120c を有する。また、ゲート信号線駆動回路 122 は、シフトレジスタ 122a、バッファ 122b を有する。必要であればサンプリング回路とシフトレジスタとの間にレベルシフト回路を設けてもよい。

【0183】また、ソース信号線駆動回路 120 は、ラッチ (A) 120b とラッチ (B) の代わりにレベルシフトとサンプリング回路を有していてもよい。

【0184】センサ用ソース信号線駆動回路 121 は、シフトレジスタ 121a と、サンプル&ホールド回路 121b と、信号出力線駆動回路 121c と、バッファ 121d を有する。また、センサ用ゲート信号線駆動回路 123 は、シフトレジスタ 123a と、バッファ 12

3b を有する。

【0185】また、本実施例において、画素部 103 は複数の画素を有する。また、本実施例では画素部 103 と駆動回路部 101 の構成のみを示しているが、さらにメモリやマイクロプロセッサを形成してもよい。

【0186】なお、本実施例は、実施の形態と自由に組み合わせることが可能である。

【0187】(実施例 6) 本実施例では、実施例 5 で説明した発光素子と光電変換素子、並びに複数のトランジスタを一画素中に設けた半導体装置について、図 20、図 21 を用いて説明する。

【0188】画素部 103 はソース信号線 (S1~Sx)、電源供給線 (V1~Vx)、選択信号線 (EG1~EGy)、リセット信号線 (ER1~ERy)、センサ選択信号線 (SG1~SGy)、センサリセット信号線 (SR1~SRy)、センサ用信号出力線 (SS1~SSx)、センサ用電源線 (VB1~VBx) を有している。

【0189】画素部 103 は複数の画素 102 を有している。画素 102 は、ソース信号線 (S1~Sx) のいずれか 1 つと、電源供給線 (V1~Vx) のいずれか 1 つと、選択信号線 (EG1~EGy) のいずれか 1 つと、リセット信号線 (ER1~ERy) のいずれか 1 つと、センサ選択信号線 (SG1~SGy) のいずれか 1 つと、センサリセット信号線 (SR1~SRy) のいずれか 1 つと、センサ用信号出力線 (SS1~SSx) のいずれか 1 つと、センサ用電源線 (VB1~VBx) のいずれか 1 つを有している。また、画素 102 は、選択用トランジスタ 116 と、駆動用トランジスタ 119 と、リセット用トランジスタ 117 と、センサ選択用トランジスタ 112 と、増幅用トランジスタ 113 と、センサリセット用トランジスタ 114 とを有している。

【0190】バイアス用トランジスタ 120 のソース領域およびドレイン領域は、一方はセンサ用信号出力線 (SS1~SSx) に接続されており、もう一方は電源線 122 に接続されている。またバイアス用トランジスタ 120 のゲート電極は、バイアス用信号線 (BS) に接続されている。

【0191】図 21 には、図 20 で示した画素部における i 行目 j 列目の画素 (i, j) を示す。

【0192】フォトダイオード 111 は、n チャネル型端子、p チャネル型端子、および n チャネル型端子と p チャネル型端子の間に設けられている光電変換層を有している。p チャネル型端子、n チャネル型端子の一方は、電源基準線 121 に接続されており、もう一方は増幅用トランジスタ 113 のゲート電極に接続されている。

【0193】センサ選択用トランジスタ 112 のゲート電極はセンサ選択信号線 (SGj) に接続されている。そしてセンサ選択用トランジスタ 112 のソース領域と

ドレイン領域は、一方は増幅用トランジスタ 113 のソース領域に接続されており、もう一方はセンサ用信号出力線 (SSi) に接続されている。センサ選択用トランジスタ 112 は、フォトダイオード 111 の信号を出力するときのスイッチング素子として機能するトランジスタである。

【0194】増幅用トランジスタ 113 のドレイン領域はセンサ用電源線 (VB i) に接続されている。そして増幅用トランジスタ 113 のソース領域はセンサ選択用トランジスタ 112 のソース領域又はドレイン領域に接続されている。増幅用トランジスタ 113 は、バイアス用トランジスタ 120 とソースフォロウ回路を形成する。そのため、増幅用トランジスタ 113 とバイアス用トランジスタ 120 の極性は同じである方がよい。

【0195】センサリセット用トランジスタ 114 のゲート電極は、センサリセット信号線 (SRj) に接続されている。センサリセット用トランジスタ 114 のソース領域とドレイン領域は、一方はセンサ用電源線 (VB i) に接続されており、もう一方は、フォトダイオード 111 及び増幅用トランジスタ 113 のゲート電極に接続されている。センサリセット用トランジスタ 114 は、フォトダイオード 111 を初期化 (リセット) するための素子として機能するトランジスタである。

【0196】発光素子 115 は陽極と陰極と、陽極と陰極との間に設けられた有機化合物層とからなる。陽極が駆動用トランジスタ 116 のソース領域またはドレイン領域と接続している場合、陽極が画素電極となり、また陰極が対向電極となる。逆に陰極が駆動用トランジスタ 116 のソース領域またはドレイン領域と接続している場合、陰極が画素電極となり、陽極が対向電極となる。

【0197】選択用トランジスタ 116 のゲート電極は選択信号線 (EGj) に接続されている。そして選択用トランジスタ 116 のソース領域とドレイン領域は、一方がソース信号線 (Si) に、もう一方が駆動用トランジスタ 116 のゲート電極に接続されている。選択用トランジスタ 116 は、画素 (i, j) に信号を書き込むときのスイッチング素子として機能するトランジスタである。

【0198】駆動用トランジスタ 116 のソース領域とドレイン領域は、一方が電源供給線 (Vi) に、もう一方が発光素子 115 に接続されている。コンデンサ 118 は駆動用トランジスタ 116 のゲート電極と電源供給線 (Vi) に接続して設けられている。駆動用トランジスタ 116 は、発光素子 115 に供給する電流を制御するための素子 (電流制御素子) として機能するトランジスタである。

【0199】リセット用トランジスタ 117 のソース領域とドレイン領域は、一方は電源供給線 (Vi) に接続され、もう一方は駆動用トランジスタ 116 のゲート電極に接続されている。リセット用トランジスタ 117 の

ゲート電極は、リセット信号線 (ERj) に接続されている。リセット用トランジスタ 117 は、画素 (i, j) に書き込まれた信号を消去 (リセット) するための素子として機能するトランジスタである。

【0200】本実施例の半導体装置は、光電変換素子と発光素子のそれぞれを制御するための複数のトランジスタが設けられている。光電変換素子により読み取られた被写体の情報は、同じ画素に設けられた発光素子により表示される。

10 【0201】なお、本実施例は、実施の形態および実施例 1 乃至実施例 4 と自由に組み合わせることが可能である。

【0202】(実施例 7) 本実施例では、実施例 5 と実施例 6 において説明した発光素子と光電変換素子、並びに複数のトランジスタを一画素中に設けた半導体装置の断面構造 (但し封止前の状態) について説明する。なお、本実施例の半導体装置の作製方法は、実施の形態 2 の半導体装置の作製方法と途中まで同じであるので、図 4 ~ 図 6 と同一の符号が付してある部分は、実施の形態 1 を参考にするとしてよい。

20 【0203】図 16 において、6000 は絶縁表面を有する基板であり、6001 は下地膜である。下地膜 6001 上には光電変換素子 111、増幅用トランジスタ 113、選択用トランジスタ 112、リセット用トランジスタ 114 が形成されている。また、発光素子 115 と、該発光素子 115 を制御するスイッチング用トランジスタ 116 と、駆動用トランジスタ 119 とが形成されている。なお、各トランジスタは公知の如何なる構造のトランジスタを用いてもよい。

30 【0204】絶縁表面を有する基板 6000 上に形成された各トランジスタの構造について説明する。増幅用トランジスタ 113 において、6023 はゲート電極、6008 はゲート絶縁膜、6037 は p 型の不純物領域からなるソース領域及びドレイン領域、6042 はソース配線、6043 はドレイン配線である。

【0205】選択用トランジスタ 112 において、6024 はゲート電極、6008 はゲート絶縁膜、6038 は p 型の不純物領域からなるソース領域及びドレイン領域、6044 はソース配線、6045 はドレイン配線である。

40 【0206】リセット用トランジスタ 114 において、6025 はゲート電極、6008 はゲート絶縁膜、6019 は n 型の不純物領域からなるソース領域及びドレイン領域、6030 は LDD 領域 (ライトドープドレイン領域)、6046 はソース配線、6047 はドレイン配線である。

50 【0207】光電変換素子 111 において、6036 は p 型の不純物領域からなる p 型半導体層、6020b は n 型の不純物領域からなる n 型半導体層、6054 は非晶質半導体膜からなる光電変換層 (i 層) である。

【0208】スイッチング用トランジスタ116において、6026はゲート電極、6008はゲート絶縁膜、6021はn型の不純物領域からなるソース領域及びドレイン領域、6031はLDD領域（ライトドープドレイン領域）、6050はソース配線、6051はドレイン配線である。

【0209】駆動用トランジスタ119において、6027はゲート電極、6008はゲート絶縁膜、6039はp型の不純物領域からなるソース領域及びドレイン領域、6052はドレイン配線、6053はソース配線である。

【0210】そして、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114、スイッチング用トランジスタ116、駆動用トランジスタ119を覆って、層間絶縁膜6041が設けられている。

【0211】次いで、駆動用トランジスタ119のドレイン配線6052に接するように画素電極6058が設けられている。画素電極6058は、発光素子115の陽極として機能し、仕事関数の大きい導電膜、代表的には、酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いればよい。

【0212】6060は有機化合物層である。有機化合物層6060には、公知の如何なる材料を用いることができる。6061は発光素子115の陰極であり、仕事関数の小さい導電膜が用いられる。仕事関数の小さい導電膜としては、周期表の1族もしくは2族に属する元素を含む導電膜を用いればよい。

【0213】画素電極（陽極）6058、有機化合物層6060及び陰極6061からなる積層体が発光素子115である。また、6062は保護膜（パッシベーション膜）である。保護膜6062としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは積層で用いる。

【0214】なお、本実施例は、実施の形態および実施例1乃至実施例6と自由に組み合わせることが可能である。

【0215】（実施例8）本実施例では、実施例5と実施例6において説明した発光素子と光電変換素子、並びに複数のトランジスタを一画素中に設けた半導体装置の断面構造（但し封止前の状態）について、実施例7とは異なる例について説明する。なお、本実施例の半導体装置の作製方法は、実施の形態2の半導体装置の作製方法と途中まで同じであるので、図4～図6と同一の符号が付してある部分は、実施の形態2を参考にするとしてよい。

【0216】図17において、4000は絶縁表面を有する基板であり、4001は下地膜である。下地膜4001上には光電変換素子111、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジ

スタ114が形成されている。また、発光素子115と、該発光素子115を制御するスイッチング用トランジスタ116と、駆動用トランジスタ119とが形成されている。なお、各トランジスタは公知の如何なる構造のトランジスタを用いてもよい。本実施例では、各トランジスタをすべてトップゲート型のトランジスタで形成した例を示すが、ボトムゲート型のトランジスタを用いることも可能である。

【0217】絶縁表面を有する基板4000上に形成された各トランジスタの構造について説明する。増幅用トランジスタ113において、4027はゲート電極、4060はゲート絶縁膜、4039はp型の不純物領域からなるソース領域及びドレイン領域、4046はソース配線、4047はドレイン配線である。

【0218】選択用トランジスタ112において、4028はゲート電極、4060はゲート絶縁膜、4040はp型の不純物領域からなるソース領域及びドレイン領域、4048はソース配線、4049はドレイン配線である。

【0219】リセット用トランジスタ114において、4029はゲート電極、4060はゲート絶縁膜、4023はn型の不純物領域からなるソース領域及びドレイン領域、4035はLDD領域（ライトドープドレイン領域）、4050はソース配線、4051はドレイン配線である。

【0220】光電変換素子111において、4041はp型の不純物領域からなるp型半導体層、4024はn型の不純物領域からなるn型半導体層、4011は非晶質半導体膜からなる光電変換層（i層）である。

【0221】スイッチング用トランジスタ116において、4031はゲート電極、4060はゲート絶縁膜、4025はn型の不純物領域からなるソース領域及びドレイン領域、4036はLDD領域（ライトドープドレイン領域）、4054はソース配線、4055はドレイン配線である。

【0222】駆動用トランジスタ119において、4032はゲート電極、4060はゲート絶縁膜、4042はp型の不純物領域からなるソース領域及びドレイン領域、4056はドレイン配線、4057はソース配線である。

【0223】そして、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114、スイッチング用トランジスタ116、駆動用トランジスタ119を覆って、層間絶縁膜6044、4045が設けられている。

【0224】次いで、駆動用トランジスタ119のドレイン配線6052に接するように画素電極4058が設けられている。画素電極4058は、発光素子115の陽極として機能し、仕事関数の大きい導電膜、代表的には、酸化物導電膜が用いられる。酸化物導電膜として

は、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いればよい。

【0225】4060は有機化合物層である。有機化合物層4060には、公知の如何なる材料を用いることができる。4061は発光素子115の陰極であり、仕事関数の小さい導電膜が用いられる。仕事関数の小さい導電膜としては、周期表の1族もしくは2族に属する元素を含む導電膜を用いればよい。

【0226】画素電極（陽極）4058、有機化合物層4060及び陰極4061からなる積層体を発光素子115である。また、4062は保護膜（パッシベーション膜）である。保護膜4062としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を単層もしくは積層で用いる。

【0227】なお、本実施例は、実施の形態および実施例1乃至実施例7と自由に組み合わせることが可能である。

【0228】（実施例9）本実施例では、実施例5と実施例6において説明した発光素子と光電変換素子、並びに複数のトランジスタを一面素中に設けた半導体装置の断面構造（但し封止前の状態）について、実施例8、9とは異なる例について説明する。なお、本実施例の半導体装置の作製方法は、実施の形態3の半導体装置の作製方法と途中まで同じであるので、図7～図9と同一の符号が付してある部分は、実施の形態3を参考にするとよい。

【0229】図18において、7000は絶縁表面を有する基板であり、7001は下地膜である。下地膜7001上には光電変換素子111、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114が形成されている。また、発光素子115と、該発光素子115を制御するスイッチング用トランジスタ116と、駆動用トランジスタ119とが形成されている。なお、各トランジスタは公知の如何なる構造のトランジスタを用いてもよい。本実施例では、各トランジスタをすべてトップゲート型のトランジスタで形成した例を示すが、ボトムゲート型のトランジスタを用いることも可能である。

【0230】絶縁表面を有する基板7000上に形成された各トランジスタの構造について説明する。増幅用トランジスタ113において、7027はゲート電極、7060はゲート絶縁膜、7039はp型の不純物領域からなるソース領域及びドレイン領域、7046はソース配線、7047はドレイン配線である。

【0231】選択用トランジスタ112において、7028はゲート電極、7060はゲート絶縁膜、7040はp型の不純物領域からなるソース領域及びドレイン領域、7048はソース配線、7049はドレイン配線である。

【0232】リセット用トランジスタ114において、

7029はゲート電極、7060はゲート絶縁膜、7023はn型の不純物領域からなるソース領域及びドレイン領域、7035はLDD領域（ライトドープドレイン領域）、7050はソース配線、7051はドレイン配線である。

【0233】光電変換素子111において、7041はp型の不純物領域からなるp型半導体層、7024はn型の不純物領域からなるn型半導体層、7011は非晶質半導体膜からなる光電変換層（i層）である。

10 【0234】スイッチング用トランジスタ116において、7030はゲート電極、7060はゲート絶縁膜、7025はn型の不純物領域からなるソース領域及びドレイン領域、7036はLDD領域（ライトドープドレイン領域）、7054はソース配線、7055はドレイン配線である。

【0235】駆動用トランジスタ119において、7031はゲート電極、7060はゲート絶縁膜、7042はp型の不純物領域からなるソース領域及びドレイン領域、7058はドレイン配線、7057はソース配線である。

20 【0236】そして、増幅用トランジスタ113、選択用トランジスタ112、リセット用トランジスタ114、スイッチング用トランジスタ116、駆動用トランジスタ119を覆って、層間絶縁膜7044が設けられている。

【0237】次いで、駆動用トランジスタ119のドレイン配線7056に接するように画素電極7058が設けられている。画素電極7058は、発光素子115の陽極として機能し、仕事関数の大きい導電膜、代表的には、酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはそれらの化合物を用いればよい。

【0238】7060は有機化合物層である。有機化合物層7060には、公知の如何なる材料を用いることができる。7061は発光素子115の陰極であり、仕事関数の小さい導電膜が用いられる。仕事関数の小さい導電膜としては、周期表の1族もしくは2族に属する元素を含む導電膜を用いればよい。

40 【0239】画素電極（陽極）7058、有機化合物層7060及び陰極7061からなる積層体を発光素子115である。また、6062は保護膜（パッシベーション膜）である。保護膜7062としては、炭素膜、窒化珪素膜もしくは窒化酸化珪素膜を含む絶縁膜からなり、該絶縁膜を炭層もしくは積層で用いる。

【0240】なお、本実施例は、実施の形態および実施例1乃至実施例8と自由に組み合わせることが可能である。

50 【0241】（実施例10）本実施例では、本発明の半導体装置を作製した例について、図22、図23を用いて説明する。本実施例では、実施例5乃至実施例9で説



明した絶縁表面を有する基板上に、発光素子と光電変換素子、並びに複数のトランジスタを作製した半導体装置の一例を示す。

【0242】図22は本発明の半導体装置のTFT基板の上面図を示している。なお本実施例においてTFT基板とは、画素部が設けられている基板を意味する。

【0243】基板401上に、画素部402と、センサ用のソース信号線駆動回路403aと発光素子用のソース信号線駆動回路403b、発光素子用のゲート信号線駆動回路404aと、センサ用のゲート信号線駆動回路404bとが設けられている。ソース信号線駆動回路とゲート信号線駆動回路の数は、設計者が適宜設定することが可能である。また、本実施例ではソース信号線駆動回路とゲート信号線駆動回路とをTFT基板上に設けているが、本発明はこの構成に限定されない。TFT基板とは別の基板上に設けたソース信号線駆動回路とゲート信号線駆動回路とを、FPC等により画素部と電氣的に接続するようにしても良い。

【0244】405は画素部402に設けられた電源供給線（図示せず）に接続された引き回し配線である。また、センサ用および発光素子用のゲート信号線駆動回路404a、404bに接続されたゲート用引き回し配線であり、また405はセンサ用および発光素子用のソース信号線駆動回路403に接続されたソース用引き回し配線である。

【0245】ゲート用引き回し配線405と、ソース用引き回し配線405とは、基板401の外部に設けられたIC等に、FPC406を介して接続されている。また引き回し配線405は、基板401の外部に設けられた電源にFPC406を介して接続されている。

【0246】図23（A）は、図22に示したTFT基板をシーリング材によって封止することによって形成されたエリアセンサの上面図であり、図23（B）は、図23（A）のA-A'における断面図、図23（C）は図23（A）のB-B'における断面図である。なお図22において既に示したものは、同じ符号を用いて示す。

【0247】基板401上に設けられた画素部402と、センサ用および発光素子用のソース信号線駆動回路403a、bと、センサ用および発光素子用のゲート信号線駆動回路404a、bとを囲むようにして、シール材409が設けられている。また画素部402と、ソース信号線駆動回路403a、bと、センサ用および発光素子用のゲート信号線駆動回路404a、bとの上にシーリング材408が設けられている。よって画素部402と、センサ用および発光素子用のソース信号線駆動回路403a、bと、センサ用および発光素子用の第1及び第2のゲート信号線駆動回路404a、bとは、基板401とシール材409とシーリング材408とによって、充填材442で密封されている。

【0248】また基板401上に設けられた画素部402と、ソース信号線駆動回路403a、bと、センサ用および発光素子用のゲート信号線駆動回路404a、bとは、複数のTFTを有している。図23（B）では代表的に、下地膜440上に形成された、ソース信号線駆動回路403に含まれる駆動TFT（但し、ここではNチャネル型TFTとPチャネル型TFTを図示する）421及び画素部402に含まれる駆動用TFT（発光素子への電流を制御するTFT）422、フォトダイオード441を図示した。

【0249】本実施例では、駆動TFT421には公知の方法で作製されたPチャネル型TFTまたはNチャネル型TFTが用いられ、駆動用TFT422には公知の方法で作製されたPチャネル型TFTが用いられる。また、画素部402には駆動用TFT422のゲートに接続された保持容量（図示せず）が設けられる。

【0250】駆動TFT421、駆動用TFT422およびフォトダイオード441上には層間絶縁膜（平坦化膜）431が形成され、その上に駆動用TFT422のドレインと電氣的に接続する画素電極（陽極）423が形成される。画素電極423としては仕事関数の大きい透明導電膜が用いられる。透明導電膜としては、酸化インジウムと酸化スズとの化合物、酸化インジウムと酸化亜鉛との化合物、酸化亜鉛、酸化スズまたは酸化インジウムを用いることができる。また、前記透明導電膜にガリウムを添加したものをを用いても良い。

【0251】そして、画素電極423の上には絶縁膜432が形成され、絶縁膜432は画素電極423の上に開口部が形成されている。この開口部において、画素電極423の上には発光層424が形成される。有機化合物層424は公知の有機発光材料または無機発光材料を用いることができる。また、有機発光材料には低分子系（モノマー系）材料と高分子系（ポリマー系）材料があるがどちらを用いても良い。

【0252】有機化合物層424の形成方法は公知の蒸着技術もしくは塗布法技術を用いれば良い。また、有機化合物層の構造は正孔注入層、正孔輸送層、発光層、電子輸送層または電子注入層を自由に組み合わせて積層構造または単層構造とすれば良い。

【0253】有機化合物層424の上には遮光性を有する導電膜（代表的にはアルミニウム、銅もしくは銀を主成分とする導電膜またはそれらと他の導電膜との積層膜）からなる陰極425が形成される。また、陰極425と有機化合物層424の界面に存在する水分や酸素は極力排除しておくことが望ましい。従って、有機化合物層424を窒素または希ガス雰囲気中で形成し、酸素や水分に触れさせないまま陰極425を形成するといった工夫が必要である。本実施例ではマルチチャンバー方式（クラスターツール方式）の成膜装置を用いることで上述のような成膜を可能とする。そして陰極425は所定

の電圧が与えられている。

【0254】以上のようにして、画素電極（陽極）423、有機化合物層424及び陰極425からなる発光素子433が形成される。そして発光素子433を覆うように、絶縁膜432上に保護膜433が形成されている。保護膜433は、発光素子433に酸素や水分等が入り込むのを防ぐのに効果的である。

【0255】405は電源供給線に接続された引き回し配線であり、駆動用TF T 422のソース領域に電気的に接続されている。引き回し配線405はシール材409と基板401との間を通り、異方導電性フィルム430を介してFPC406が有するFPC用配線431に電気的に接続される。

【0256】シーリング材408としては、ガラス材、金属材（代表的にはステンレス材）、セラミックス材、プラスチック材（プラスチックフィルムも含む）を用いることができる。プラスチック材としては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、マイラーフィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやマイラーフィルムで挟んだ構造のシートを用いることもできる。

【0257】但し、発光素子からの光の放射方向がカバー材側に向かう場合にはカバー材は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透明物質を用いる。

【0258】また、充填材413としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC（ポリビニルクロライド）、アクリル、ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施例では充填材として窒素を用いた。

【0259】また充填材413を吸湿性物質（好ましくは酸化バリウム）もしくは酸素を吸着しうる物質にさらしておくために、シーリング材408の基板401側の面に凹部407を設けて吸湿性物質または酸素を吸着しうる物質427を配置する。そして、吸湿性物質または酸素を吸着しうる物質427が飛び散らないように、凹部カバー材428によって吸湿性物質または酸素を吸着しうる物質427は凹部407に保持されている。なお凹部カバー材428は目の細かいメッシュ状になっており、空気や水分は通し、吸湿性物質または酸素を吸着しうる物質427は通さない構成になっている。吸湿性物質または酸素を吸着しうる物質427を設けることで、発光素子433の劣化を抑制できる。

【0260】図23（C）に示すように、画素電極423が形成されると同時に、引き回し配線405上に接す

るように導電性膜423aが形成される。

【0261】また、異方導電性フィルム430は導電性フィラー430aを有している。基板401とFPC406とを熱圧着することで、基板401上の導電性膜423aとFPC406上のFPC用配線431とが、導電性フィラー430aによって電気的に接続される。

【0262】なお本実施例は、実施の形態および実施例1乃至実施例9と自由に組み合わせることが可能である。

10 【0263】（実施例11）本発明の半導体装置を用いた電子機器の実施例として、図24を用いて説明する。

【0264】図24（A）は、ラインセンサを用いたハンドスキャナーである。CCD型（CMOS型）のイメージセンサ1001の上には、ロッドレンズアレイなどの光学系1002が設けられている。光学系1002は、被写体1004上の画像がイメージセンサ1001上に映し出されるようにするために用いられる。

20 【0265】そして、LEDや蛍光灯などの光源1003は、被写体1004に光を照射できる位置に設けられている。そして、被写体1004の下部には、ガラス1005が設けられている。

【0266】光源1003を出た光は、ガラス1005を介して被写体1004に入射する。被写体1004で反射した光は、ガラス1005を介して、光学系1002に入射する。光学系1002に入射した光は、イメージセンサ1001に入射し、そこで光電変換される。

30 【0267】図24（B）は、1801は基板、1802は画素部、1803はタッチパネル、1804はタッチペンである。タッチパネル1803は透光性を有しており、画素部1802から発せられる光及び、画素部1802に入射する光を透過することができ、タッチパネル1803を通して被写体上の画像を読み込むことができる。また画素部1802に画像が表示されている場合にも、タッチパネル1803を通して、画素部1802上の画像を見ることが可能である。

40 【0268】タッチペン1804がタッチパネル1803に触れると、タッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができる。本実施例で用いられるタッチパネル1803及びタッチペン1804は、タッチパネル1803が透光性を有していて、なおかつタッチペン1804とタッチパネル1803とが接している部分の位置の情報を、電気信号として半導体装置に取り込むことができるものならば、公知のものを用いることができる。

50 【0269】上記構成を有する本発明の半導体装置は、画像の情報を読み込んで、画素部1802に読み込んだ画像を表示し、取り込んだ画像にタッチペン1804で書き込みを行うことができる。そして本発明の半導体装置は、画像の読み込み、画像の表示、画像への書き込み

を、全て画素部 1802 において行うことができる。よって半導体装置自体の大きさを抑え、なおかつ様々な機能を半導体装置に持たせることができる。

【0270】図 24 (C) は、図 24 (B) とは異なる携帯型ハンドスキャナーであり、本体 1901、画素部 1902、上部カバー 1903、外部接続ポート 1904、操作スイッチ 1905 で構成されている。図 24 (D) は図 24 (C) と同じ携帯型ハンドスキャナーの上部カバー 1903 を閉じた図である。

【0271】本発明の半導体装置は、読み込んだ画像の情報を画素部 1902 において表示することが可能であり、新たにディスプレイを半導体装置に設けなくとも、その場で読み込んだ画像を確認することができる。

【0272】また画素部 1902 で読み込んだ画像信号を、外部接続ポート 1904 から携帯型ハンドスキャナーの外部に接続されている電子機器に送り、パソコンにおいて画像を補正、合成、編集等を行うことも可能である。

【0273】なお、本実施例は、実施の形態及び実施例 1 乃至実施例 10 と自由に組み合わせることが可能である。

【0274】(実施例 12) また、本発明の半導体装置を用いた電子機器として、ビデオカメラ、デジタルスチルカメラ、ノート型パーソナルコンピュータ、携帯情報端末 (モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等) などが挙げられる。

【0275】図 25 (A) はビデオカメラであり、本体 2601、表示部 2602、筐体 2603、外部接続ポート 2604、リモコン受信部 2605、受像部 2606、バッテリー 2607、音声入力部 2608、操作キー 2609 等を含む。本発明の欠陥画素修復システムは表示部 2602 に用いることができる。

【0276】図 25 (B) はモバイルコンピュータであり、本体 2301、表示部 2302、スイッチ 2303、操作キー 2304、赤外線ポート 2305 等を含む。本発明の欠陥画素修復システムは表示部 2302 に用いることができる。

【0277】図 25 (C) は携帯電話であり、本体 2701、筐体 2702、表示部 2703、音声入力部 2704、音声出力部 2705、操作キー 2706、外部接続ポート 2707、アンテナ 2708 等を含む。本発明の欠陥画素修復システムは表示部 2703 に用いること

ができる。

【0278】以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電子機器に用いることが可能である。

【0279】なお、本実施例は、実施の形態及び実施例 1 乃至実施例 5 と自由に組み合わせることが可能である。

【0280】

【発明の効果】本発明により、絶縁表面上に光電変換素子とトランジスタを作製する作製工程において、用いるマスク数を減らすことが出来る。そのため、作製工程が簡略化することができる。その結果、製造歩留まりが改善され、製造コストの低減が可能となる。

【0281】

【図面の簡単な説明】

【図 1】 本発明の半導体装置の作製工程を示す図。

【図 2】 本発明の半導体装置の作製工程を示す図。

【図 3】 本発明の半導体装置の作製工程を示す図。

【図 4】 本発明の半導体装置の作製工程を示す図。

【図 5】 本発明の半導体装置の作製工程を示す図。

【図 6】 本発明の半導体装置の作製工程を示す図。

【図 7】 本発明の半導体装置の作製工程を示す図。

【図 8】 本発明の半導体装置の作製工程を示す図。

【図 9】 本発明の半導体装置の作製工程を示す図。

【図 10】 本発明の半導体装置の作製工程を示す図。

【図 11】 本発明の半導体装置の作製工程を示す図。

【図 12】 本発明の半導体装置の作製工程を示す図。

【図 13】 本発明が適用される半導体装置の回路図のブロック図。

【図 14】 本発明が適用される半導体装置の回路図。

【図 15】 本発明が適用される半導体装置の回路図。

【図 16】 本発明が適用される半導体装置の画素の回路図。

【図 17】 本発明の半導体装置の断面構造を示す図。

【図 18】 本発明の半導体装置の断面構造を示す図。

【図 19】 本発明の半導体装置の断面構造を示す図。

【図 20】 光電変換素子の動作形態を説明する図。

【図 21】 光電変換素子の動作形態を説明する図。

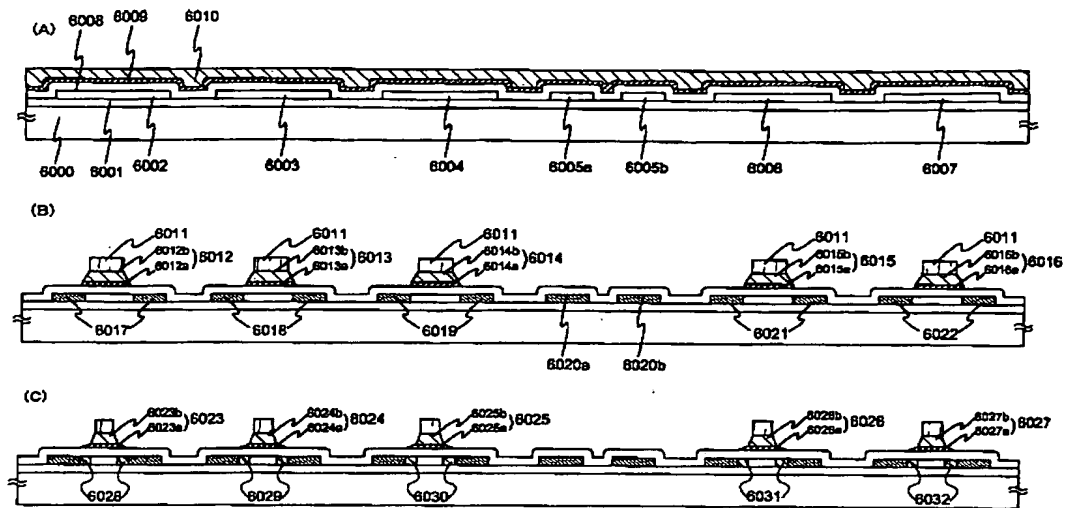
【図 22】 本発明の半導体装置の外観を示す図。

【図 23】 本発明の半導体装置の外観を示す図。

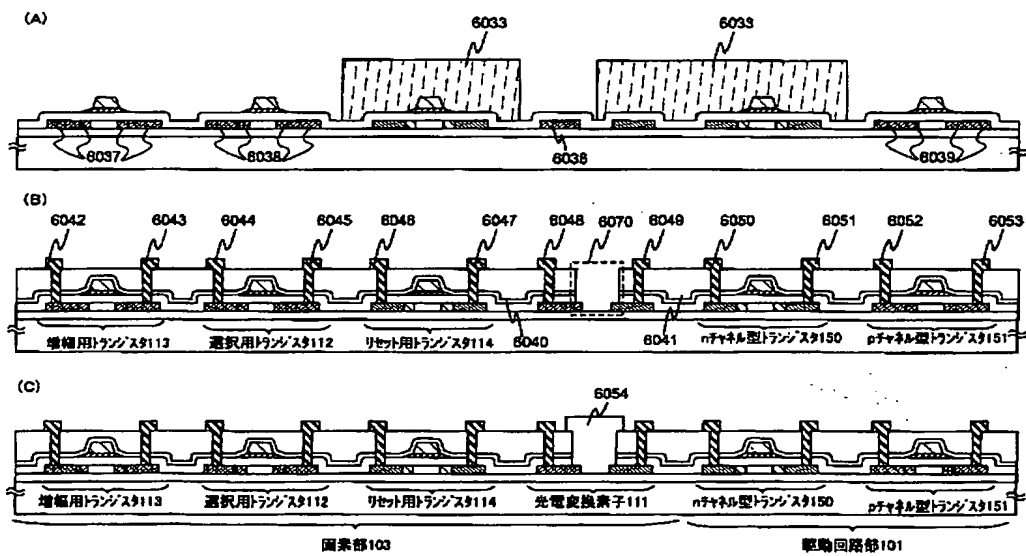
【図 24】 本発明が適用される電子機器の一例の図。

【図 25】 本発明が適用される電子機器の一例の図。

【図1】



【図2】



【図3】

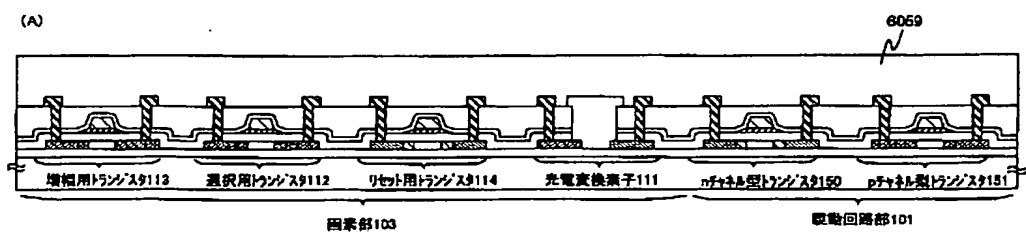


Figure 4 consists of three cross-sectional views of a semiconductor device.   
 (A) shows a series of gates 4010a through 4010g on a substrate. Below the gates are regions 4000 through 4009.   
 (B) shows gates 4010h and 4010i on a substrate. Below them are regions 4006, 4011b, and 4007.   
 (C) shows a cross-section with regions 4060, 4012, and 4013.

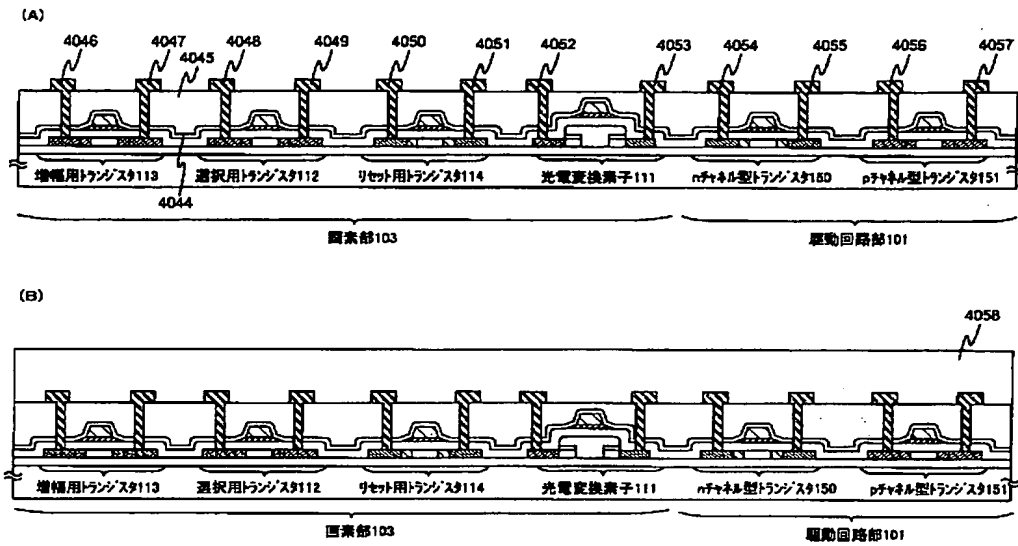
Figure 1 consists of three plan views (A, B, and C) of a semiconductor device, showing the layout of various components and their interconnections.

**(A)** This view shows the initial layout. It features a series of rectangular blocks labeled 4014, 4015, 4016, 4017, 4018, 4019, and 4020. These blocks are interconnected by a network of lines. Below the blocks, a series of rectangular regions are labeled 4021, 4022, 4023, 4026a, 4026b, 4026c, 4026d, 4024, and 4025. The labels 4014, 4015a, 4015b, 4016a, 4016b, 4017a, 4017b, 4018a, 4018b, 4019a, 4019b, and 4020a are also present, indicating specific sub-components or regions within the main blocks.

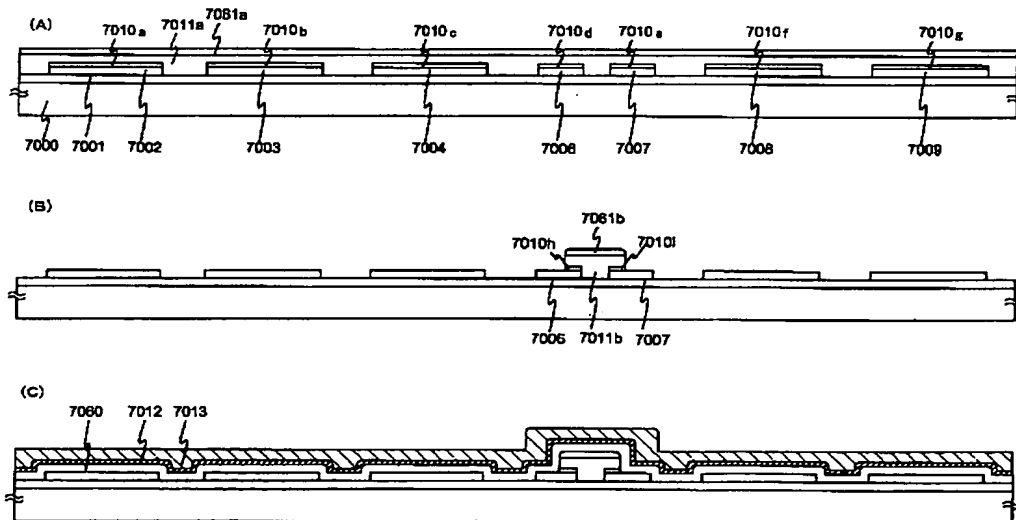
**(B)** This view shows a modified layout. The blocks are now labeled 4027, 4028, 4029, 4030, 4031, and 4032. The interconnecting lines are also modified. The rectangular regions below are labeled 4033, 4034, 4035, 4026a, 4026b, 4026c, 4026d, 4036, and 4037. The labels 4027a, 4027b, 4028a, 4028b, 4029a, 4029b, 4030a, 4030b, 4031a, 4031b, 4032a, and 4032b are also present, indicating specific sub-components or regions within the main blocks.

**(C)** This view shows a further modified layout. The blocks are now labeled 4038, 4039, 4040, 4041, and 4042. The interconnecting lines are also modified. The rectangular regions below are labeled 4039, 4040, 4041, and 4042. The labels 4039a, 4039b, 4040a, 4040b, 4041a, 4041b, and 4042a are also present, indicating specific sub-components or regions within the main blocks.

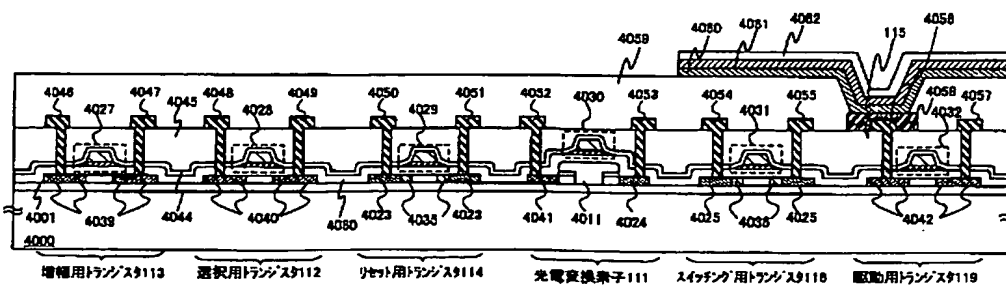
【図6】



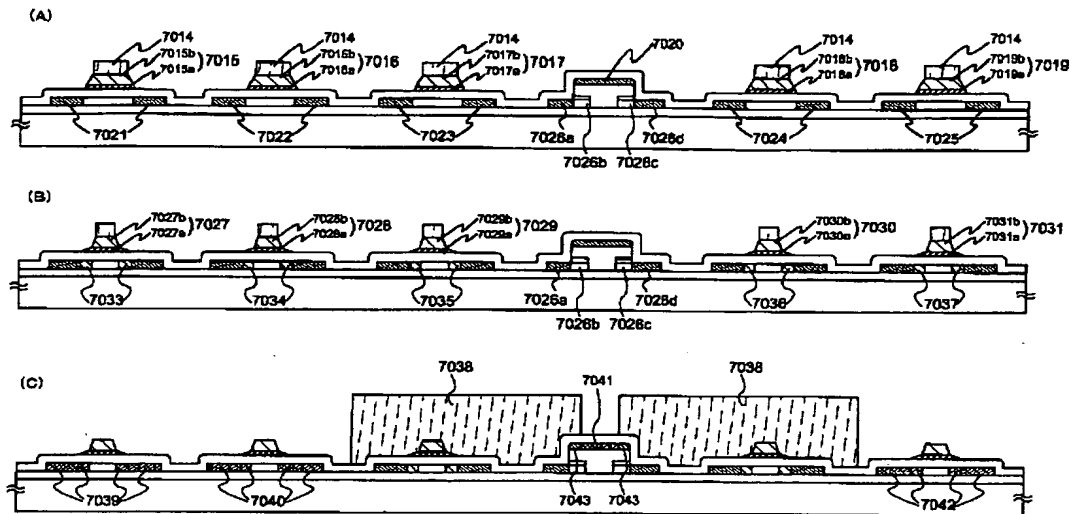
【図7】



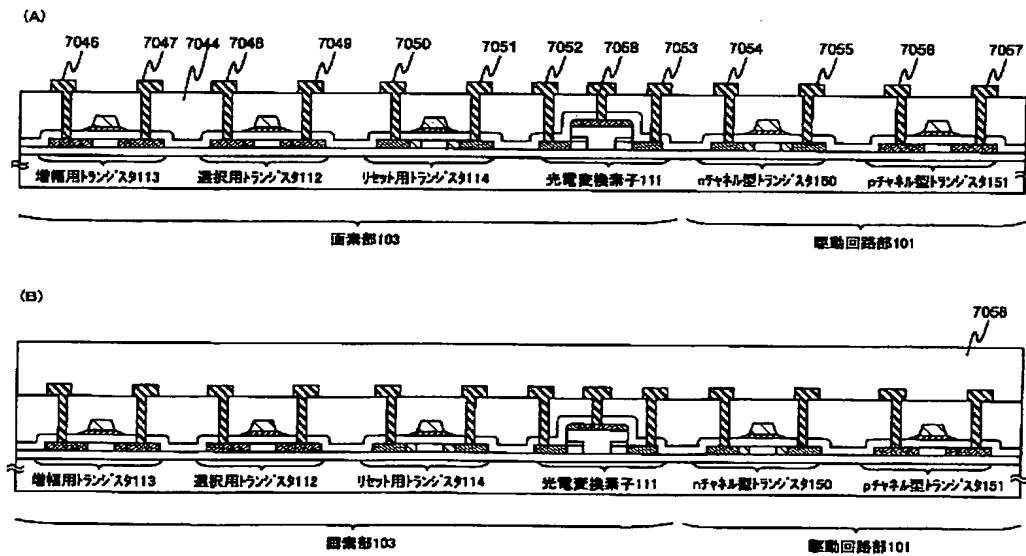
【図17】



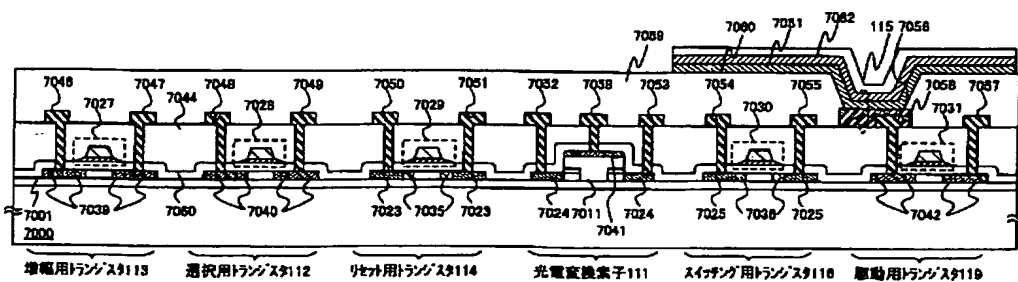
【図8】



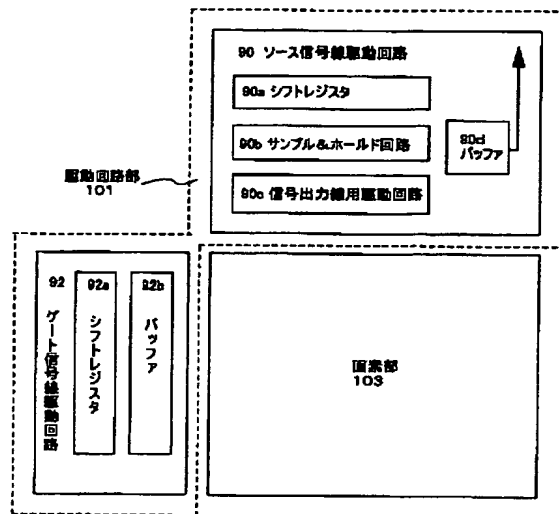
【図9】



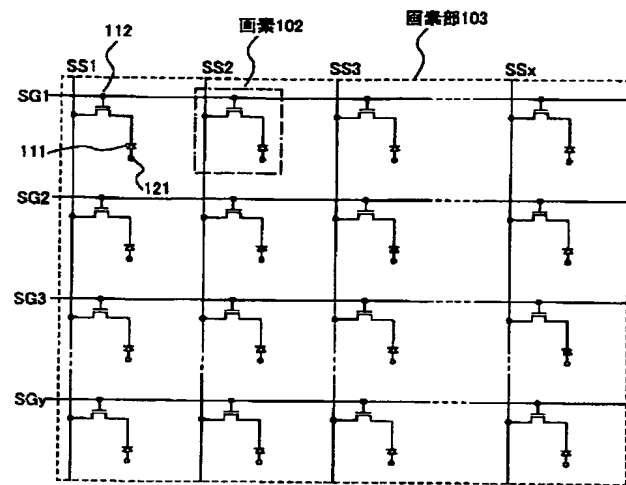
【図18】



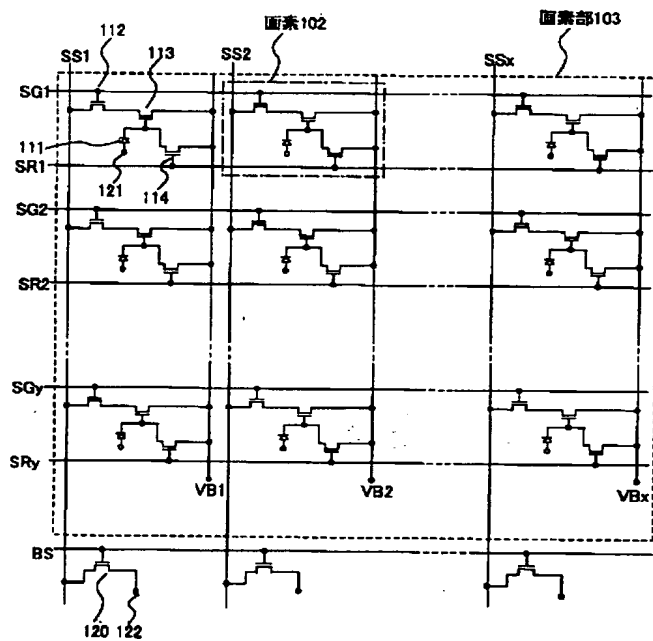
【図10】



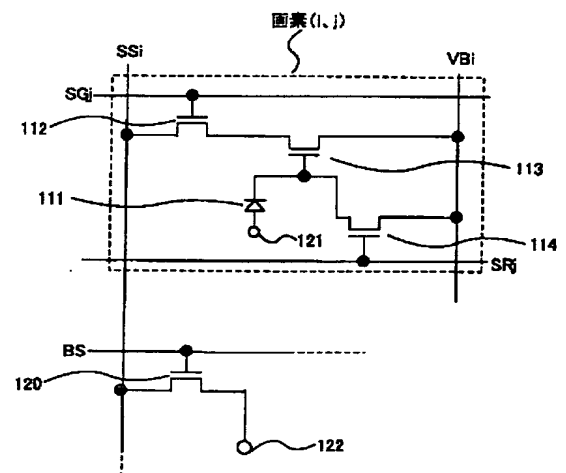
【図11】



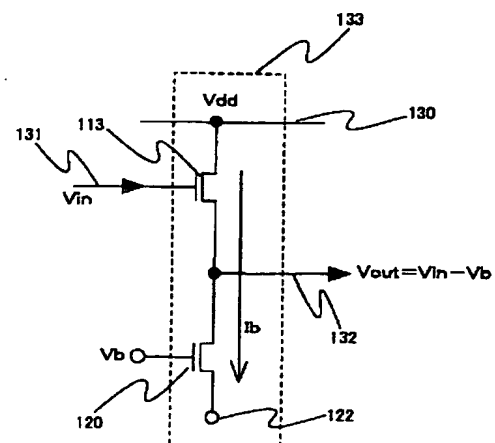
【図12】



【図13】

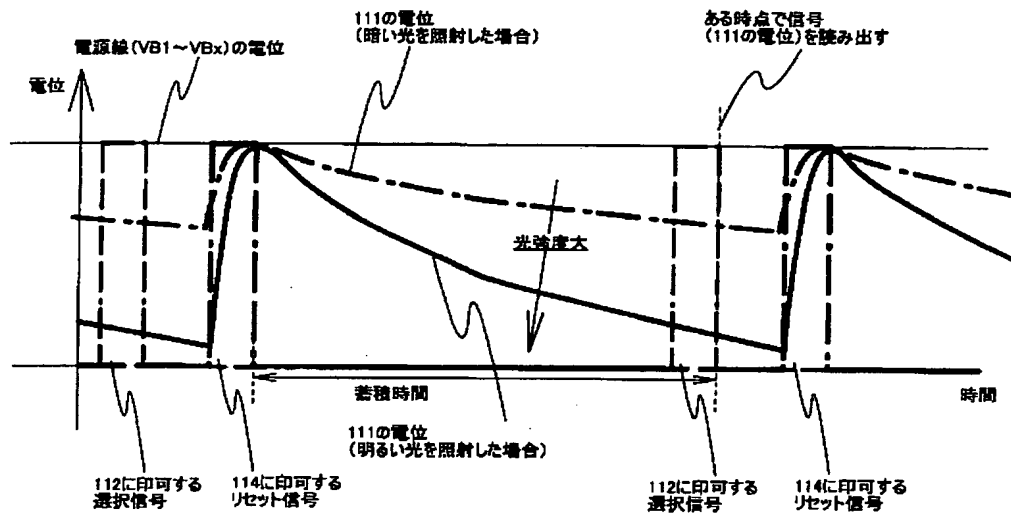


【図14】

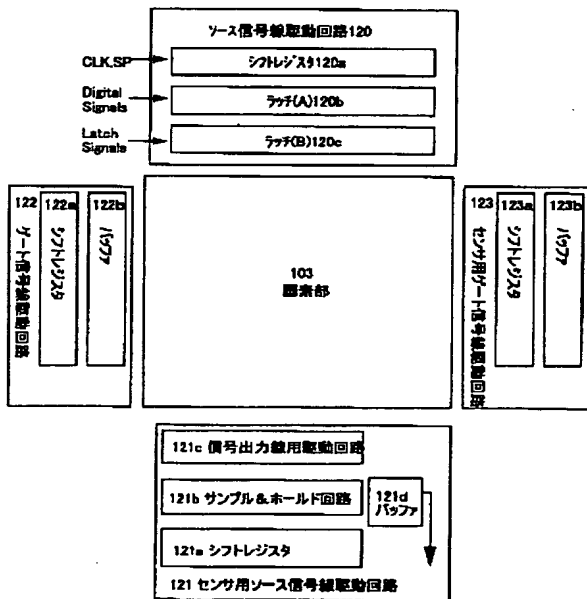




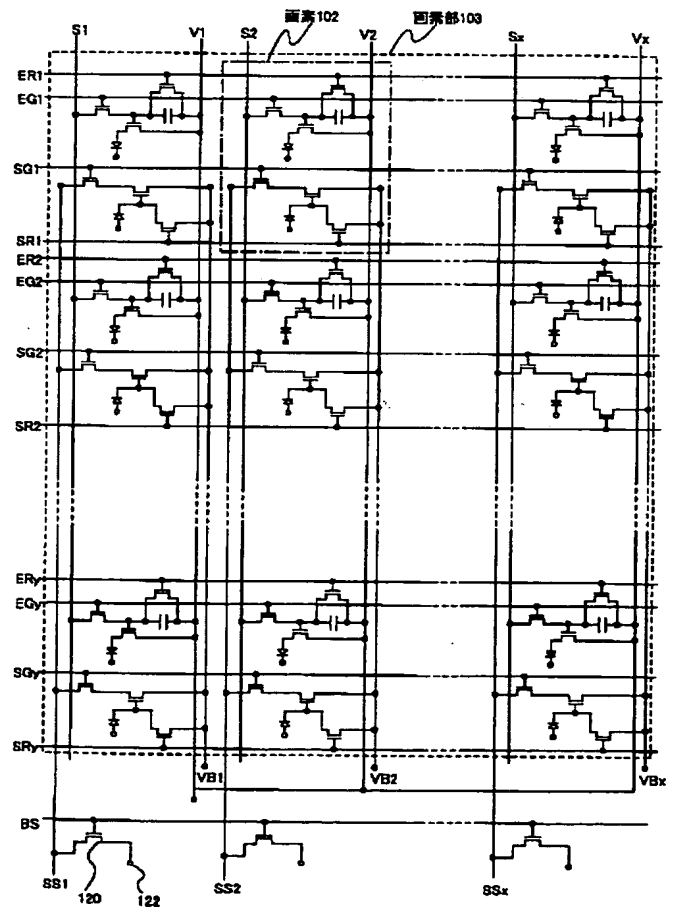
【図15】



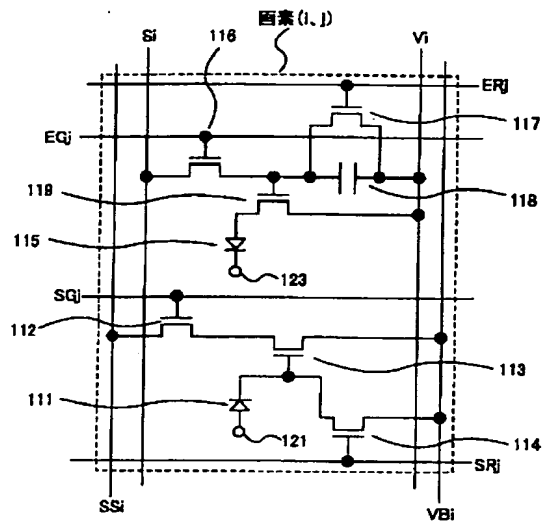
【図19】



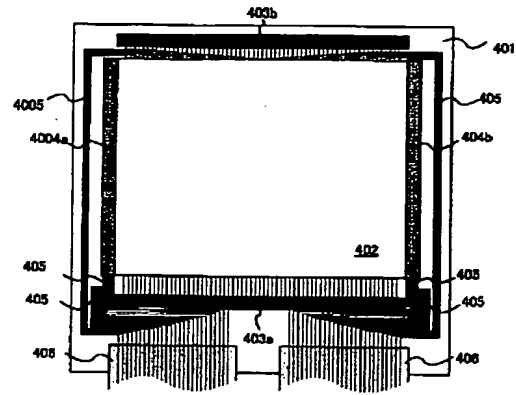
【図20】



【図 21】



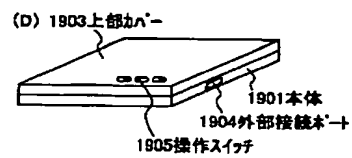
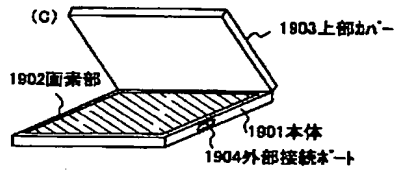
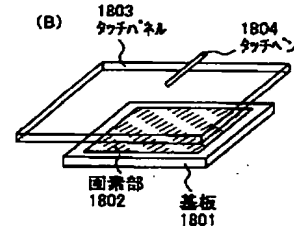
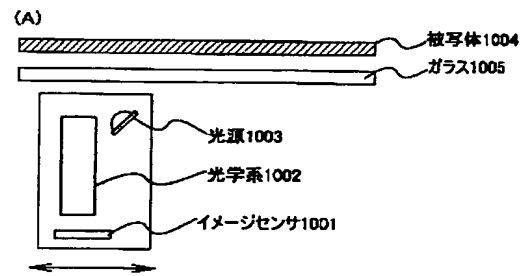
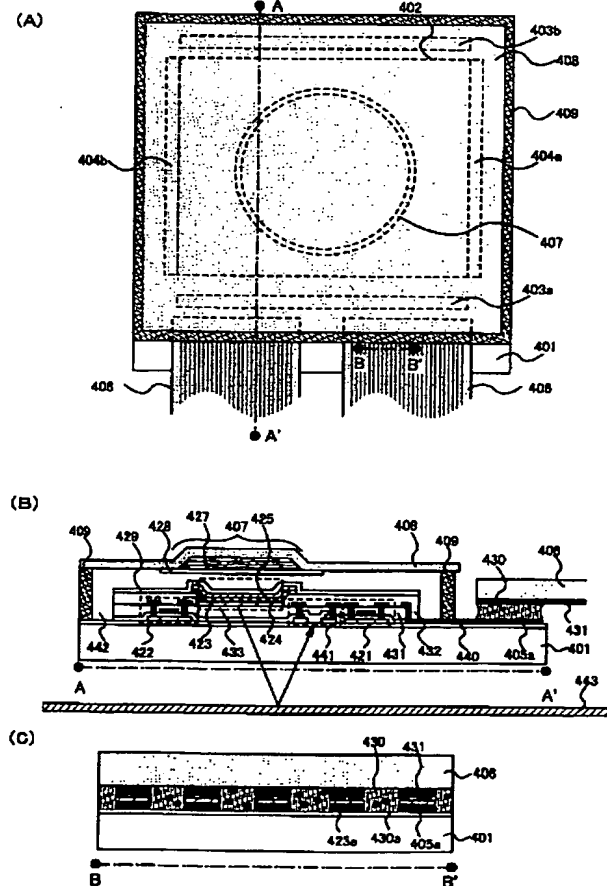
【図 22】



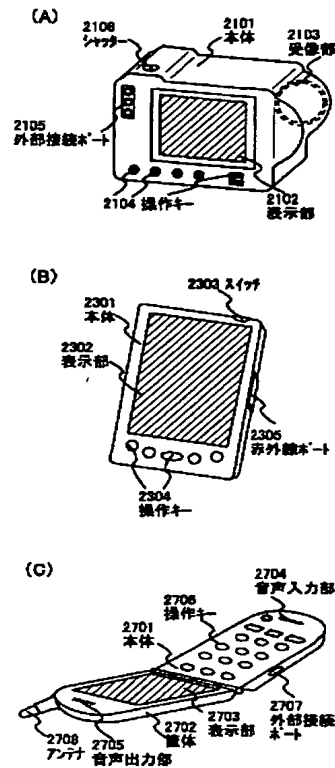
【図 24】



【図 23】



【図 25】



フロントページの続き

(51) Int. Cl. <sup>7</sup>

識別記号

F I

ターマコード (参考)

H 0 1 L 29/78

6 1 3 A

(72) 発明者 小山 潤

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

(72) 発明者 渡辺 康子

神奈川県厚木市長谷398番地 株式会社半  
導体エネルギー研究所内

F ターム (参考)

3K007 AB18 DB03 EB00 FA01

4M118 AA10 AB01 BA05 CA05 CB05  
CB06 FB03 FB09 FB13 FB24

5F110 AA16 BB02 BB04 BB10 CC02

DD01 DD02 DD03 DD13 DD14

DD15 EE01 EE02 EE03 EE04

EE06 EE09 EE14 EE23 EE44

EE45 FF02 FF03 FF04 FF09

FF28 FF30 GG01 GG02 GG13

GG25 GG32 GG45 HJ01 HJ12

HJ13 HJ18 HJ23 HL02 HL03

HM15 NN03 NN04 NN22 NN23

NN24 NN27 NN34 NN35 NN71

PP01 PP02 PP03 PP10 PP29

PP34 PP35 QQ11 QQ24 QQ25

QQ28